

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-251847

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H02M 3/07

(21)Application number : 2000-384960

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 19.12.2000

(72)Inventor : MATSUMOTO SHOICHIRO

(30)Priority

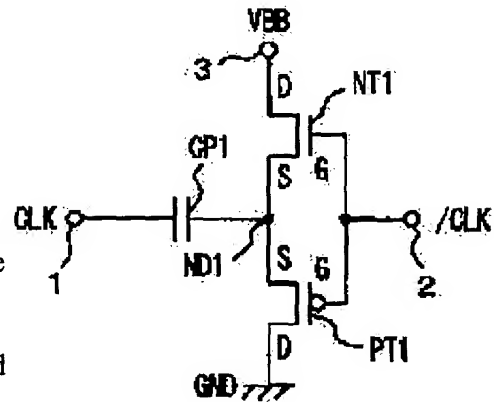
Priority number : 11371632 Priority date : 27.12.1999 Priority country : JP

## (54) VOLTAGE-GENERATING CIRCUIT AND DISPLAY EQUIPPED THEREWITH

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a voltage-generating circuit which can obtain high voltage to a request and also has a large drive current.

**SOLUTION:** A voltage-generating circuit is composed of a capacitor CP1, an n-channel MOS transistor NT1, a P-channel MOS transistor PT1,, etc. The source terminal S of the n-channel MOS transistor NT1 is connected to a node ND1, and the drain terminal D is made the output terminal of a negative voltage VBB. The source terminal S of the p-channel MOS transistor PT1 is connected to a node ND1, and the drain terminal D is made an ground terminal. Each terminal G of the n-channel MOS transistor NT1 and the p-channel MOS transistor PT1 is connected in common, and clock signals CLK, /CLK where the phases are inverted virtually are applied to its common junction and the terminal of capacitor CP1.



## LEGAL STATUS

[Date of request for examination] 21.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-251847  
(P2001-251847A)

(43)公開日 平成13年9月14日(2001.9.14)

(51)Int.Cl.<sup>7</sup>

H 0 2 M 3/07

識別記号

F I

H 0 2 M 3/07

デマコト\* (参考)

審査請求 未請求 請求項の数31 O L (全 29 頁)

(21)出願番号 特願2000-384960(P2000-384960)

(22)出願日 平成12年12月19日(2000. 12. 19)

(31)優先権主張番号 特願平11-371632

(32)優先日 平成11年12月27日(1999. 12. 27)

(33)優先権主張国 日本 (J P)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 松本 昭一郎

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74)代理人 100111383

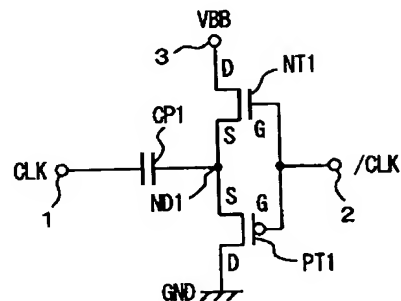
弁理士 芝野 正雅

(54)【発明の名称】 電圧発生回路及び電圧発生回路を備えた表示装置

(57)【要約】

【課題】要求に対する高い到達電圧が得られるとともに大きな電流駆動能力を有する電圧発生回路を提供する。

【解決手段】電圧発生回路は、キャパシタC P 1、nチャネルMOSトランジスタN T 1、及びpチャネルMOSトランジスタP T 1等を備えて構成される。nチャネルMOSトランジスタN T 1のソース端子SがノードN D 1に接続され、そのドレイン端子Dが負電圧V B Bの出力端子とされる。pチャネルMOSトランジスタP T 1のソース端子SがノードN D 1に接続され、そのドレイン端子Dが接地端子とされる。nチャネルトMOSトランジスタN T 1及びpチャネルMOSトランジスタP T 1の各ゲート端子Gは共通接続され、その共通接続点とキャパシタC P 1の端子とに互いに位相の反転したクロック信号C L K、/ C L Kが印加される。



## 【特許請求の範囲】

【請求項 1】 キャパシタを有し、該キャパシタの一方の端子に接続されたノードを介して所定の電圧を発生する電圧発生回路であって、

ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が前記電圧の出力端子とされる n チャネルトランジスタと、ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が基準電位端子とされる p チャネルトランジスタとを備え、前記 n チャネルトランジスタ及び p チャネルトランジスタの各ゲート端子は共通接続されるとともに、該共通接続されたゲート端子と前記キャパシタの他方の端子とに互いに位相の反転したクロック信号が印加される電圧発生回路。

【請求項 2】 請求項 1 記載の電圧発生回路において、当該回路は 3 重ウェル構造を有する P 形半導体基板上に形成され、

前記 n チャネルトランジスタは P 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、

前記 p チャネルトランジスタは N 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために正電位が該 N 型ウェルに印加され、

前記キャパシタは P 型ウェル上に別途形成される n チャネルトランジスタ MOS FET のソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子が前記ノードに接続されてなることを特徴とする電圧発生回路。

【請求項 3】 請求項 1 記載の電圧発生回路において、当該回路は 2 重ウェル構造を有する N 半導体基板上に形成され、

前記 n チャネルトランジスタは P 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、

前記 p チャネルトランジスタは N 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために正電位が該 N 型ウェルに印加され、

前記キャパシタは P 型ウェル上に別途形成される n チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子が前記ノードに接続されてなることを特徴とする電圧発生回路。

【請求項 4】 請求項 1 記載の電圧発生回路において、当該回路はガラス基板上に形成され、

前記 n チャネルトランジスタ及び p チャネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、前記キャパシタの少なくとも一方の電極は、前記半導体層の一部に形成された n 型又は p 型領域によって形成されてなることを特徴と

する電圧発生回路。

【請求項 5】 2 つのキャパシタを有し、それらキャパシタの各一方の端子に接続された各別のノードを介して所定の電圧を発生する電圧発生回路であって、

ソース端子及びドレイン端子の一方が前記ノードの 1 つに接続され、他方が前記電圧の出力端子とされる n チャネルトランジスタと、ソース端子及びドレイン端子の一方が同一のノードに接続され、他方が基準電位端子とされる p チャネルトランジスタとを有して、その各ゲート端子が互いに共通接続されてなるトランジスタ対を 2 組備え、前記各トランジスタ対の n チャネルトランジスタの前記電圧出力端子は共通接続されるとともに、前記各共通接続されたゲート端子はそれぞれ他の組のトランジスタ対が接続されたノードにクロス接続されて且つ、前記各キャパシタの他方の端子に互いに位相の反転したクロック信号が印加される電圧発生回路。

【請求項 6】 請求項 5 記載の電圧発生回路において、当該回路は 3 重ウェル構造を有する P 形半導体基板上に形成され、

前記各 n チャネルトランジスタは P 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、

前記各 p チャネルトランジスタは N 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記各クロック信号が該 N 型ウェルに印加され、

前記各キャパシタは N 型ウェル上に別途形成される p チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることを特徴とする電圧発生回路。

【請求項 7】 請求項 5 記載の電圧発生回路において、当該回路は 3 重ウェル構造を形成する P 形半導体基板上に形成され、

前記各 n チャネルトランジスタは P 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、

前記各 p チャネルトランジスタは N 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために正電位が該 N 型ウェルに印加され、

前記各キャパシタは N 型ウェル上に別途形成される p チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることを特徴とする電圧発生回路。

【請求項 8】 請求項 5 記載の電圧発生回路において、当該回路は 3 重ウェル構造を形成する P 形半導体基板上に形成され、

## 3

前記各 n チャネルトランジスタは P 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、

前記各 p チャネルトランジスタは N 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために正電位が該 N 型ウェルに印加され、

前記各キャパシタは P 型ウェル上に別途形成される n チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることを特徴とする電圧発生回路。

【請求項 9】請求項 5 記載の電圧発生回路において、当該回路は 2 重ウェル構造を形成する P 形半導体基板上に形成され、

前記各 n チャネルトランジスタは P 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、

前記各 p チャネルトランジスタは N 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために正電位が該 N 型ウェルに印加され、

前記各キャパシタは P 型ウェル上に別途形成される n チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることを特徴とする電圧発生回路。

【請求項 10】請求項 5 記載の電圧発生回路において、当該回路はシリコン基板上に形成された絶縁膜上に形成され、

前記各 n チャネルトランジスタ及び各 p チャネルトランジスタは、前記絶縁膜上に形成された半導体層をその能動層として形成され、

前記各キャパシタの少なくとも一方の電極は、前記半導体層の一部に形成された n 型又は p 型領域によって形成されてなることを特徴とする電圧発生回路。

【請求項 11】請求項 5 記載の電圧発生回路において、当該回路はガラス基板上に形成され、

前記各 n チャネルトランジスタ及び各 p チャネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、

前記各キャパシタの少なくとも一方の電極は、前記半導体層の一部に形成された n 型又は p 型領域によって形成されてなることを特徴とする電圧発生回路。

【請求項 12】キャパシタを有し、該キャパシタの一方の端子に接続されたノードを介して所定の電圧を発生する電圧発生回路であって、

ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が前記電圧の出力端子とされる第 1 の n チャネルトランジスタと、ソース端子及びドレイン端子の一

## 4

方及びゲート端子が前記ノードに接続され、ソース端子及びドレイン端子の他方が基準電位端子とされる第 2 の n チャネルトランジスタとを備え、前記第 1 の n チャネルトランジスタのゲート端子と前記キャパシタの他方の端子とに互いに位相の反転したクロック信号が印加される電圧発生回路。

【請求項 13】請求項 12 記載の電圧発生回路において、

当該回路は 3 重ウェル構造を有する P 形半導体基板上に形成され、

前記第 1 の n チャネルトランジスタは P 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、

前記第 2 の n チャネルトランジスタは P 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記ノードが該 P 型ウェルに接続され、

前記キャパシタは P 型ウェル上に別途形成される n チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子が前記ノードに接続されてなることを特徴とする電圧発生回路。

【請求項 14】請求項 12 記載の電圧発生回路において、

当該回路は 2 重ウェル構造を有する N 形半導体基板上に形成され、

前記第 1 の n チャネルトランジスタは P 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、

前記第 2 の n チャネルトランジスタは P 型ウェル上に MOS FET として形成されるとともに、そのバックゲート電位を得るために前記ノードが該 P 型ウェルに接続され、

前記キャパシタは P 型ウェル上に別途形成される n チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子が前記ノードに接続されてなることを特徴とする電圧発生回路。

【請求項 15】請求項 12 記載の電圧発生回路において、

当該回路はガラス基板上に形成され、

前記第 1 及び第 2 の n チャネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、

前記キャパシタの少なくとも一方の電極は前記半導体層の一部に形成された n 型領域によって形成されてなることを特徴とする電圧発生回路。

【請求項 16】2 つのキャパシタを有し、それらキャパ

10

20

30

40

50

シタの各一方の端子に接続された各別のノードを介して所定の電圧を発生する電圧発生回路であって、ソース端子及びドレイン端子の一方が前記ノードの1つに接続され、他方が前記電圧の出力端子とされる第1のnチャネルトランジスタと、ソース端子及びドレイン端子の一方及びゲート端子が同一のノードに接続され、ソース端子及びドレイン端子の他方が基準電位端子とされる第2のnチャネルトランジスタとを有するトランジスタ対を2組備え、前記各トランジスタ対の第1のnチャネルトランジスタの前記電圧出力端子は共通接続されるとともに、前記各第1のnチャネルトランジスタのゲート端子はそれぞれ他の組のトランジスタ対が接続されたノードにクロス接続されて且つ、前記各キャパシタの各他方の端子に互いに位相の反転したクロック信号が印加される電圧発生回路。

【請求項17】請求項16記載の電圧発生回路において、当該回路は3重ウェル構造を有するP形半導体基板上に形成され、前記各第1のnチャネルトランジスタはP型ウェル上にMOSFETとして形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該P型ウェルに接続され、前記各第2のnチャネルトランジスタはP型ウェル上にMOSFETとして形成されるとともに、そのバックゲート電位を得るために前記ノードが該P型ウェルに接続され、前記各キャパシタはP型ウェル上に別途形成されるnチャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることを特徴とする電圧発生回路。

【請求項18】請求項16記載の電圧発生回路において、当該回路は2重ウェル構造を有するN形半導体基板上に形成され、前記各第1のnチャネルトランジスタはP型ウェル上にMOSFETとして形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該P型ウェルに接続され、前記各第2のnチャネルトランジスタはP型ウェル上にMOSFETとして形成されるとともに、そのバックゲート電位を得るために前記ノードが該P型ウェルに接続され、前記各キャパシタはP型ウェル上に別途形成されるnチャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることを特徴とする電圧発生回路。

【請求項19】請求項16記載の電圧発生回路におい

て、当該回路はガラス基板上に形成され、前記各第1及び各第2のnチャネルトランジスタは各々前記ガラス基板上に形成された半導体層をその能動層として形成され、前記キャパシタの少なくとも一方の電極は前記半導体層の一部に形成されたn型領域によって形成されてなることを特徴とする電圧発生回路。

【請求項20】請求項1～19のいずれか1項に記載の電圧発生回路において、

1つのクロック信号に基づいて前記互いに位相の反転したクロック信号を形成するためのインバータ回路を更に備えることを特徴とする電圧発生回路。

【請求項21】請求項1～19のいずれか1項に記載の電圧発生回路において、前記互いに位相の反転したクロック信号は、その位相反転時、各クロック信号が共に論理「ロー」レベルとなる期間を有するように形成されることを特徴とする電圧発生回路。

【請求項22】請求項1～19のいずれか1項に記載の電圧発生回路において、

1つのクロック信号に基づいて、前記互いに位相の反転したクロック信号を形成するための論理回路と、前記各クロック信号の位相反転時、それらクロック信号が共に論理「ロー」レベルとなる期間を有するように期間調整する遅延回路とを更に備えることを特徴とする電圧発生回路。

【請求項23】複数の走査線とデータ線との交点にマトリックス状に配列される表示画素と、該表示画素毎に備えられその印加電圧を制御する能動スイッチング素子と、前記複数の走査線を走査するとともに前記能動スイッチング素子を活性化するための駆動電圧を印加する走査線駆動回路と、該走査線駆動回路に電圧を出力する電圧発生回路とを備え、

前記電圧発生回路は、キャパシタを有し、該キャパシタの一方の端子に接続されたノードを介して所定の電圧を発生するものであって、ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が前記電圧の出力端子とされるnチャネルトランジスタと、ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が基準電位端子とされるpチャネルトランジスタとを備え、前記nチャネルトランジスタ及びpチャネルトランジスタの各ゲート端子は共通接続されるとともに、該共通接続されたゲート端子と前記キャパシタの他方の端子とに互いに位相の反転したクロック信号が印加される電圧発生回路を備えた表示装置。

【請求項24】請求項23記載の電圧発生回路を備えた表示装置において、

少なくとも前記電圧発生回路はガラス基板上に形成され、

前記 n チャンネルトランジスタ及び p チャンネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、

前記キャパシタの少なくとも一方の電極は、前記半導体層の一部に形成された n 型又は p 型領域によって形成されてなることを特徴とする電圧発生回路を備えた表示装置。

【請求項 25】複数の走査線とデータ線との交点にマトリックス状に配列される表示画素と、該表示画素毎に備えられその印加電圧を制御する能動スイッチング素子と、前記複数の走査線を走査するとともに前記能動スイッチング素子を活性化するための駆動電圧を印加する走査線駆動回路と、該走査線駆動回路に電圧を出力する電圧発生回路とを備え、

前記電圧発生回路は、2つのキャパシタを有し、それらキャパシタの各一方の端子に接続された各別のノードを介して所定の電圧を発生するものであって、ソース端子及びドレイン端子の一方が前記ノードの1つに接続され、他方が前記電圧の出力端子とされる n チャンネルトランジスタと、ソース端子及びドレイン端子の一方が同一のノードに接続され、他方が基準電位端子とされる p チャンネルトランジスタとを有して、その各ゲート端子が互いに共通接続されてなるトランジスタ対を2組備え、前記各トランジスタ対の n チャンネルトランジスタの前記電圧出力端子は共通接続されるとともに、前記各共通接続されたゲート端子はそれぞれ他の組のトランジスタ対が接続されたノードにクロス接続されて且つ、前記各キャパシタの各他方の端子に互いに位相の反転したクロック信号が印加される電圧発生回路を備えた表示装置。

【請求項 26】請求項 25 記載の電圧発生回路を備えた表示装置において、

少なくとも前記電圧発生回路はガラス基板上に形成され、

前記 n チャンネルトランジスタ及び p チャンネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、

前記キャパシタの少なくとも一方の電極は、前記半導体層の一部に形成された n 型又は p 型領域によって形成されてなることを特徴とする電圧発生回路を備えた表示装置。

【請求項 27】複数の走査線とデータ線との交点にマトリックス状に配列される表示画素と、該表示画素毎に備えられその印加電圧を制御する能動スイッチング素子と、前記複数の走査線を走査するとともに前記能動スイッチング素子を活性化するための駆動電圧を印加する走査線駆動回路と、該走査線駆動回路に電圧を出力する電圧発生回路とを備え、

前記電圧発生回路は、キャパシタを有し、該キャパシタの一方の端子に接続されたノードを介して所定の電圧を発生するものであって、ソース端子及びドレイン端子の

一方が前記ノードに接続され、他方が前記電圧の出力端子とされる第1の n チャンネルトランジスタと、ソース端子及びドレイン端子の一方及びゲート端子が前記ノードに接続され、ソース端子及びドレイン端子の他方が基準電位端子とされる第2の n チャンネルトランジスタとを備え、前記第1の n チャンネルトランジスタのゲート端子と前記キャパシタの他方の端子とに互いに位相の反転したクロック信号が印加される電圧発生回路を備えた表示装置。

10 【請求項 28】請求項 27 記載の電圧発生回路を備えた表示装置において、

少なくとも前記電圧発生回路はガラス基板上に形成され、

前記第1及び第2の n チャンネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、

前記キャパシタの少なくとも一方の電極は前記半導体層の一部に形成された n 型領域によって形成されてなることを特徴とする電圧発生回路を備えた表示装置。

20 【請求項 29】複数の走査線とデータ線との交点にマトリックス状に配列される表示画素と、該表示画素毎に備えられその印加電圧を制御する能動スイッチング素子と、前記複数の走査線を走査するとともに前記能動スイッチング素子を活性化するための駆動電圧を印加する走査線駆動回路と、該走査線駆動回路に電圧を出力する電圧発生回路とを備え、

前記電圧発生回路は、2つのキャパシタを有し、それらキャパシタの各一方の端子に接続された各別のノードを介して所定の電圧を発生するものであって、ソース端子及びドレイン端子の一方が前記ノードの1つに接続され、他方が前記電圧の出力端子とされる第1の n チャンネルトランジスタと、ソース端子及びドレイン端子の一方及びゲート端子が同一のノードに接続され、ソース端子及びドレイン端子の他方が基準電位端子とされる第2の n チャンネルトランジスタとを有するトランジスタ対を2組備え、前記各トランジスタ対の第1の n チャンネルトランジスタの前記電圧出力端子は共通接続されるとともに、前記各第1の n チャンネルトランジスタのゲート端子はそれぞれ他の組のトランジスタ対が接続されたノードにクロス接続されて且つ、前記各キャパシタの各他方の端子に互いに位相の反転したクロック信号が印加される電圧発生回路を備えた表示装置。

40 【請求項 30】請求項 29 記載の電圧発生回路を備えた表示装置において、

少なくとも前記電圧発生回路はガラス基板上に形成され、

前記各第1及び各第2の n チャンネルトランジスタは各々前記ガラス基板上に形成された半導体層をその能動層として形成され、

50 前記キャパシタの少なくとも一方の電極は前記半導体層

の一部に形成されたn型領域によって形成されてなることを特徴とする電圧発生回路を備えた表示装置。

【請求項31】請求項23～30のいずれか1項に記載の電圧発生回路を備えた表示装置において、前記電圧発生回路に前記クロック信号として印加する信号のレベルを昇圧変換するレベル変換回路を更に備えることを特徴とする電圧発生回路を備えた表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はキャパシタを使用した電圧発生回路及び同電圧発生回路を備えた表示装置に関する。

【0002】

【従来の技術】図37に、このようなキャパシタを使用した従来の電圧発生回路の一例を示す。同図37に示されるようにこの電圧発生回路は、キャパシタ（ポンピングキャパシタ） $c p 1$ 、第1、第2のpチャネルMOS（Metal Oxide Semiconductor）トランジスタ $p t 1$ 、 $p t 2$ 及びインバータ回路 $i n v 1$ 等を備えて構成される。

【0003】ここで、上記第1のpチャネルMOSトランジスタ（駆動トランジスタ） $p t 1$ のドレイン端子Dがノード $n d 1$ に接続され、そのソース端子Sが負電圧VBBの出力端子30とされる。また、上記第2のpチャネルMOSトランジスタ $p t 2$ のソース端子Sがノード $n d 1$ に接続され、そのドレイン端子Dが接地端子とされる。

【0004】また上記キャパシタ $c p 1$ はpチャネルMOSトランジスタのソース端子及びドレイン端子間が接続されたものとして形成されており、そのゲート端子Gがノード $n d 1$ に接続されている。また、キャパシタ $c p 1$ とインバータ回路 $i n v 1$ には入力端子10を介してクロック信号CLKが入力される。

【0005】次に、このように構成される電圧発生回路による電圧（負電圧）の発生動作の概要を説明する。クロック信号CLKが論理「ロー」（以下、単に「L」と記す）レベルになると、ノード $n d 1$ の電位 $V n 1$ が低下して負電圧となる。このノード電位 $V n 1$ が第1のpチャネルMOSトランジスタ $p t 1$ のソース端子Sの電位VBBより同トランジスタ $p t 1$ のしきい値電圧 $V t h p 1$ 分を越えて低下すると、同トランジスタ $p t 1$ が「ON（オン）」し、このとき、ソース端子S側からキャパシタ $c p 1$ の容量に比例した電荷がノード $n d 1$ 側に流れ込む。そして、この電荷は、第2のpチャネルMOSトランジスタ $p t 2$ が「OFF（オフ）」状態にあるため、キャパシタ $c p 1$ に溜め込まれ、それに応じてノード電位 $V n 1$ が上昇する。

【0006】次に、クロック信号CLKが論理「ハイ」（以下、単に「H」と記す）レベルになると、それに対応してノード電位 $V n 1$ は、さらにクロック信号CLK

の「H」レベル（VDD）に相当する分だけ底上げされ更に上昇する。また、このクロック信号CLKが「H」レベルになると、前記インバータ回路 $i n v 1$ を介して第2のpチャネルMOSトランジスタ $p t 2$ が「ON（オン）」し、このときキャパシタ $c p 1$ に溜め込まれた電荷がGND（グランド）に引き抜かれることとなり、それに伴ってノード電位 $V n 1$ は低下する。

【0007】このようにして、クロック信号CLKの1サイクル毎に第1のpチャネルMOSトランジスタ $p t 1$ のソース端子Sの電荷をGNDに汲み出すことによって、同ソース端子Sを負電圧化するようにしている。

【0008】また上記従来の電圧発生回路のポンピング効率を向上させた例として、図38に示されるような電圧発生回路も知られている。ここでは、上記従来の電圧発生回路を2組み使用し、その各ポンピングキャパシタ $c p 1$ 、 $c p 2$ の端子に互いに位相の反転したクロック信号を印加するようにしてそのポンピング効率を向上させ、所定負電圧を得るまでの時間を短縮するようにしている。

【0009】

【発明が解決しようとする課題】ところで、上述した従来の電圧発生回路にあっては、簡単な構成で電圧（負電圧）を効果的に発生できるといえ、その到達負電圧（VBB）の理論値が（ $-VDD + V t h p 1$ ）となり最大理論値（ $-VDD$ ）より第1のpチャネルMOSトランジスタ $p t 1$ のしきい値電圧 $V t h p 1$ 分だけ浅くなる。

【0010】また、出力負電圧VBBが低くなるにしたがって、第1のpチャネルMOSトランジスタ $p t 1$ のソース端子Sとノード $n d 1$ 間の電位差が小さくなり、すなわち同トランジスタ $p t 1$ のゲート・ソース間電圧が小さくなり、同トランジスタ $p t 1$ の駆動能力が低下することとなる。

【0011】また、近年、DRAMのワード線を負バイアス制御する際に必要とされる電流駆動能力の観点や、あるいは液晶表示装置等において、その低消費電力化や画素トランジスタの動作マージンの確保等の観点から、電流駆動能力の高い電圧発生回路が必要となっており、このような要求に対して上記従来の電圧発生回路によっては、十分に対応しきれないものともなっている。なお、このような実情は、上記負電圧を発生する回路には限られない。

【0012】本発明は上記実情に鑑みてなされたものであり、その目的とするところは、要求に対する高い到達電圧が得られるとともに大きな電流駆動能力を有する電圧発生回路及び同電圧発生回路を備えた表示装置を提供することにある。

【0013】

【課題を解決するための手段】以下、上記目的を達成するための手段及びその作用効果について記載する。請求



項 1 に記載の発明においては、キャパシタを有し、該キャパシタの一方の端子に接続されたノードを介して所定の電圧を発生する電圧発生回路であって、ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が前記電圧の出力端子とされる n チャネルトランジスタと、ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が基準電位端子とされる p チャネルトランジスタとを備え、前記 n チャネルトランジスタ及び p チャネルトランジスタの各ゲート端子は共通接続されるとともに、該共通接続されたゲート端子と前記キャパシタの他方の端子とに互いに位相の反転したクロック信号が印加されることをその要旨とする。

【0014】同構成によれば、電圧発生回路として駆動トランジスタ（n チャネルトランジスタ）のしきい値  $V_{th}$  に影響されない出力電圧値が得られるようになる。また、例えば負電圧を発生させる場合、出力負電圧値が低くなっても駆動トランジスタは確実に「ON」するため、出力負電圧の値にかかわらず同トランジスタの駆動能力は十分確保されるようになる。また、駆動トランジスタとして p チャネルトランジスタを用いた場合に比べ、電圧発生回路としての動作速度を高速化でき、また駆動能力も高めることもできる。さらに、p チャネルトランジスタと同等の能力を n チャネルトランジスタで確保する場合にあっては、その素子面積を小面積化することもできる。

【0015】また請求項 2 に記載の発明においては、請求項 1 記載の電圧発生回路において、当該回路は 3 重ウェル構造を有する P 形半導体基板上に形成され、前記 n チャネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、前記 p チャネルトランジスタは N 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために正電位が該 N 型ウェルに印加され、前記キャパシタは P 型ウェル上に別途形成される n チャネルトランジスタ MOSFET のソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子が前記ノードに接続されてなることをその要旨とする。

【0016】また請求項 3 に記載の発明においては、請求項 1 記載の電圧発生回路において、当該回路は 2 重ウェル構造を有する N 半導体基板上に形成され、前記 n チャネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、前記 p チャネルトランジスタは N 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために正電位が該 N 型ウェルに印加され、前記キャパシタは P 型ウェル上に別途形成される n チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子が前記ノードに接

続されてなることをその要旨とする。

【0017】また請求項 4 に記載の発明においては、請求項 1 記載の電圧発生回路において、当該回路はガラス基板上に形成され、前記 n チャネルトランジスタ及び p チャネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、前記キャパシタの少なくとも一方の電極は、前記半導体層の一部に形成された n 型又は p 型領域によって形成されてなることをその要旨とする。

10 【0018】上記請求項 2～4 に記載の発明の各構成によっても、請求項 1 記載の発明と同様な作用効果を得ることができる。また請求項 5 に記載の発明においては、2 つのキャパシタを有し、それらキャパシタの各一方の端子に接続された各別のノードを介して所定の電圧を発生する電圧発生回路であって、ソース端子及びドレイン端子の一方が前記ノードの 1 つに接続され、他方が前記電圧の出力端子とされる n チャネルトランジスタと、ソース端子及びドレイン端子の一方が同一のノードに接続され、他方が基準電位端子とされる p チャネルトランジスタとを有して、その各ゲート端子が互いに共通接続されてなるトランジスタ対を 2 組備え、前記各トランジスタ対の n チャネルトランジスタの前記電圧出力端子は共通接続されるとともに、前記各共通接続されたゲート端子はそれぞれ他の組のトランジスタ対が接続されたノードにクロス接続されて且つ、前記各キャパシタの他方の端子に互いに位相の反転したクロック信号が印加されることをその要旨とする。

30 【0019】同構成によれば、上記請求項 1 への発明と同様な作用効果を得ることができるとともに、クロック信号の半サイクル毎に目標電圧発生にかかるポンピング動作が行われたため、より効率的にポンピングを行うことができるようになる。その結果、目標出力電圧に到達する速度を早めることができる。

【0020】また請求項 6 に記載の発明においては、請求項 5 記載の電圧発生回路において、当該回路は 3 重ウェル構造を有する P 形半導体基板上に形成され、前記各 n チャネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、前記各 p チャネルトランジスタは N 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記各クロック信号が該 N 型ウェルに印加され、前記各キャパシタは N 型ウェル上に別途形成される p チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることをその要旨とする。

50 【0021】また請求項 7 に記載の発明においては、請求項 5 記載の電圧発生回路において、当該回路は 3 重ウェル構造を形成する P 形半導体基板上に形成され、前記

各 n チャンネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、前記各 p チャンネルトランジスタは N 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために正電位が該 N 型ウェルに印加され、前記各キャパシタは N 型ウェル上に別途形成される p チャンネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることをその要旨とする。

【0022】また請求項 8 に記載の発明においては、請求項 5 記載の電圧発生回路において、当該回路は 3 重ウェル構造を形成する P 形半導体基板上に形成され、前記各 n チャンネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、前記各 p チャンネルトランジスタは N 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために正電位が該 N 型ウェルに印加され、前記各キャパシタは P 型ウェル上に別途形成される n チャンネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることをその要旨とする。

【0023】また請求項 9 に記載の発明においては、請求項 5 記載の電圧発生回路において、当該回路は 2 重ウェル構造を形成する P 形半導体基板上に形成され、前記各 n チャンネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、前記各 p チャンネルトランジスタは N 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために正電位が該 N 型ウェルに印加され、前記各キャパシタは P 型ウェル上に別途形成される n チャンネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることをその要旨とする。

【0024】また請求項 10 に記載の発明においては、請求項 5 記載の電圧発生回路において、当該回路はシリコン基板上に形成された絶縁膜上に形成され、前記各 n チャンネルトランジスタ及び各 p チャンネルトランジスタは、前記絶縁膜上に形成された半導体層をその能動層として形成され、前記各キャパシタの少なくとも一方の電極は、前記半導体層の一部に形成された n 型又は p 型領域によって形成されてなることをその要旨とする。

【0025】また請求項 11 に記載の発明においては、請求項 5 記載の電圧発生回路において、当該回路はガラス基板上に形成され、前記各 n チャンネルトランジスタ及び各 p チャンネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、前記各キャパシタの少なくとも一方の電極は、前記半導体層の

一部に形成された n 型又は p 型領域によって形成されてなることをその要旨とする。

【0026】上記請求項 6～11 に記載の発明の各構成によっても、請求項 5 記載の発明と同様な作用効果を得ることができる。また請求項 12 に記載の発明においては、キャパシタを有し、該キャパシタの一方の端子に接続されたノードを介して所定の電圧を発生する電圧発生回路であって、ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が前記電圧の出力端子とされる第 1 の n チャンネルトランジスタと、ソース端子及びドレイン端子の一方及びゲート端子が前記ノードに接続され、ソース端子及びドレイン端子の他方が基準電位端子とされる第 2 の n チャンネルトランジスタとを備え、前記第 1 の n チャンネルトランジスタのゲート端子と前記キャパシタの他方の端子とに互いに位相の反転したクロック信号が印加されることをその要旨とする。

【0027】請求項 1 記載の発明の p チャンネルトランジスタを上記第 2 の n チャンネルトランジスタに置き換える同構成によっても、同請求項 1 記載の発明とほぼ同様な作用効果を得ることができる。

【0028】また請求項 13 に記載の発明においては、請求項 12 記載の電圧発生回路において、当該回路は 3 重ウェル構造を有する P 形半導体基板上に形成され、前記第 1 の n チャンネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、前記第 2 の n チャンネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記ノードが該 P 型ウェルに接続され、前記キャパシタは P 型ウェル上に別途形成される n チャンネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子が前記ノードに接続されてなることをその要旨とする。

【0029】また請求項 14 に記載の発明においては、請求項 12 記載の電圧発生回路において、当該回路は 2 重ウェル構造を有する N 形半導体基板上に形成され、前記第 1 の n チャンネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、前記第 2 の n チャンネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記ノードが該 P 型ウェルに接続され、前記キャパシタは P 型ウェル上に別途形成される n チャンネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子が前記ノードに接続されてなることをその要旨とする。

【0030】また請求項 15 に記載の発明においては、請求項 12 記載の電圧発生回路において、当該回路はガ

10

20

30

40

50

ラス基板上に形成され、前記第 1 及び第 2 の n チャネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、前記キャパシタの少なくとも一方の電極は前記半導体層の一部に形成された n 型領域によって形成されてなることをその要旨とする。

【0031】上記請求項 13～15 に記載の発明の各構成によっても、請求項 12 記載の発明と同様な作用効果を得ることができる。また請求項 16 に記載の発明においては、2 つのキャパシタを有し、それらキャパシタの各一方の端子に接続された各別のノードを介して所定の電圧を発生する電圧発生回路であって、ソース端子及びドレイン端子の一方が前記ノードの 1 つに接続され、他方が前記電圧の出力端子とされる第 1 の n チャネルトランジスタと、ソース端子及びドレイン端子の一方及びゲート端子が同一のノードに接続され、ソース端子及びドレイン端子の他方が基準電位端子とされる第 2 の n チャネルトランジスタとを有するトランジスタ対を 2 組備え、前記各トランジスタ対の第 1 の n チャネルトランジスタの前記電圧出力端子は共通接続されるとともに、前記各第 1 の n チャネルトランジスタのゲート端子はそれぞれ他の組のトランジスタ対が接続されたノードにクロス接続されて且つ、前記各キャパシタの各他方の端子に互いに位相の反転したクロック信号が印加されることをその要旨とする。

【0032】上記請求項 5 記載の発明の p チャネルトランジスタを n チャネルトランジスタに置き換える同構成によっても、同請求項 5 記載の発明とほぼ同様な作用効果を得ることができる。

【0033】また請求項 17 に記載の発明においては、請求項 16 記載の電圧発生回路において、当該回路は 3 重ウェル構造を有する P 形半導体基板上に形成され、前記各第 1 の n チャネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、前記各第 2 の n チャネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記ノードが該 P 型ウェルに接続され、前記各キャパシタは P 型ウェル上に別途形成される n チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることをその要旨とする。

【0034】また請求項 18 に記載の発明においては、請求項 16 記載の電圧発生回路において、当該回路は 2 重ウェル構造を有する N 形半導体基板上に形成され、前記各第 1 の n チャネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るために前記電圧出力端子が該 P 型ウェルに接続され、前記各第 2 の n チャネルトランジスタは P 型ウェル上に MOSFET として形成されるとともに、そ

のバックゲート電位を得るために前記ノードが該 P 型ウェルに接続され、前記各キャパシタは P 型ウェル上に別途形成される n チャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、その各ゲート端子が前記各ノードに接続されてなることをその要旨とする。

【0035】また請求項 19 に記載の発明においては、請求項 16 記載の電圧発生回路において、当該回路はガラス基板上に形成され、前記各第 1 及び第 2 の n チャネルトランジスタは各々前記ガラス基板上に形成された半導体層をその能動層として形成され、前記キャパシタの少なくとも一方の電極は前記半導体層の一部に形成された n 型領域によって形成されてなることをその要旨とする。

【0036】上記請求項 17～19 に記載の発明の各構成によっても、請求項 16 記載の発明と同様な作用効果を得ることができる。また請求項 20 に記載の発明においては、請求項 1～19 のいずれか 1 項に記載の電圧発生回路において、1 つのクロック信号に基づいて前記互いに位相の反転したクロック信号を形成するためのインバータ回路を更に備えることをその要旨とする。

【0037】同構成によれば、クロック入力信号を 1 つにできるため、同クロック入力信号を 2 つとする場合に比べ、外部回路の構成を簡単にすることができる。また、インバータを介した遅延効果を利用して効率的に電圧を発生させることができるようになる。

【0038】また請求項 21 に記載の発明においては、請求項 1～19 のいずれか 1 項に記載の電圧発生回路において、前記互いに位相の反転したクロック信号は、その位相反転時、各クロック信号が共に論理「ロー」レベルとなる期間を有するように形成されることをその要旨とする。

【0039】同構成によれば、各クロック信号が共に論理「ロー」レベルとなる期間を有することにより、例えば駆動トランジスタを確実に「OFF（オフ）」させてから上記ノードを正電圧にできること等によって、効率的に負電圧を発生させることができるようになる。

【0040】また請求項 22 に記載の発明においては、請求項 1～19 のいずれか 1 項に記載の電圧発生回路において、1 つのクロック信号に基づいて、前記互いに位相の反転したクロック信号を形成するための論理回路と、前記各クロック信号の位相反転時、それらクロック信号が共に論理「ロー」レベルとなる期間を有するように期間調整する遅延回路とを更に備えることをその要旨とする。

【0041】同構成によれば、1 つのクロック信号に基づいて、上記各クロック信号が共に論理「ロー」レベルとなる期間を有するよう一对のクロック信号を容易且つ自動的に生成される。

【0042】また請求項 23 に記載の発明においては、

10

20

30

40

50

複数の走査線とデータ線との交点にマトリックス状に配列される表示画素と、該表示画素毎に備えられその印加電圧を制御する能動スイッチング素子と、前記複数の走査線を走査するとともに前記能動スイッチング素子を活性化するための駆動電圧を印加する走査線駆動回路と、該走査線駆動回路に電圧を出力する電圧発生回路とを備え、前記電圧発生回路は、キャパシタを有し、該キャパシタの一方の端子に接続されたノードを介して所定の電圧を発生するものであって、ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が前記電圧の出力端子とされる n チャンネルトランジスタと、ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が基準電位端子とされる p チャンネルトランジスタとを備え、前記 n チャンネルトランジスタ及び p チャンネルトランジスタの各ゲート端子は共通接続されるとともに、該共通接続されたゲート端子と前記キャパシタの他方の端子とに互いに位相の反転したクロック信号が印加されることをその要旨とする。

【0043】また請求項 24 に記載の発明においては、請求項 23 記載の電圧発生回路を備えた表示装置において、少なくとも前記電圧発生回路はガラス基板上に形成され、前記 n チャンネルトランジスタ及び p チャンネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、前記キャパシタの少なくとも一方の電極は、前記半導体層の一部に形成された n 型又は p 型領域によって形成されてなることをその要旨とする。

【0044】また請求項 25 に記載の発明においては、複数の走査線とデータ線との交点にマトリックス状に配列される表示画素と、該表示画素毎に備えられその印加電圧を制御する能動スイッチング素子と、前記複数の走査線を走査するとともに前記能動スイッチング素子を活性化するための駆動電圧を印加する走査線駆動回路と、該走査線駆動回路に電圧を出力する電圧発生回路とを備え、前記電圧発生回路は、2つのキャパシタを有し、それらキャパシタの各一方の端子に接続された各別のノードを介して所定の電圧を発生するものであって、ソース端子及びドレイン端子の一方が前記ノードの 1 つに接続され、他方が前記電圧の出力端子とされる n チャンネルトランジスタと、ソース端子及びドレイン端子の一方が同一のノードに接続され、他方が基準電位端子とされる p チャンネルトランジスタとを有して、その各ゲート端子が互いに共通接続されてなるトランジスタ対を 2 組備え、前記各トランジスタ対の n チャンネルトランジスタの前記電圧出力端子は共通接続されるとともに、前記各共通接続されたゲート端子はそれぞれ他の組のトランジスタ対が接続されたノードにクロス接続されて且つ、前記各キャパシタの各他方の端子に互いに位相の反転したクロック信号が印加されることをその要旨とする。

【0045】また請求項 26 に記載の発明においては、

請求項 25 記載の電圧発生回路を備えた表示装置において、少なくとも前記電圧発生回路はガラス基板上に形成され、前記各 n チャンネルトランジスタ及び各 p チャンネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、前記各キャパシタの少なくとも一方の電極は、前記半導体層の一部に形成された n 型又は p 型領域によって形成されてなることをその要旨とする。

【0046】また請求項 27 に記載の発明においては、複数の走査線とデータ線との交点にマトリックス状に配列される表示画素と、該表示画素毎に備えられその印加電圧を制御する能動スイッチング素子と、前記複数の走査線を走査するとともに前記能動スイッチング素子を活性化するための駆動電圧を印加する走査線駆動回路と、該走査線駆動回路に電圧を出力する電圧発生回路とを備え、前記電圧発生回路は、キャパシタを有し、該キャパシタの一方の端子に接続されたノードを介して所定の電圧を発生するものであって、ソース端子及びドレイン端子の一方が前記ノードに接続され、他方が前記電圧の出力端子とされる第 1 の n チャンネルトランジスタと、ソース端子及びドレイン端子の一方及びゲート端子が前記ノードに接続され、ソース端子及びドレイン端子の他方が基準電位端子とされる第 2 の n チャンネルトランジスタとを備え、前記第 1 の n チャンネルトランジスタのゲート端子と前記キャパシタの他方の端子とに互いに位相の反転したクロック信号が印加されることをその要旨とする。

【0047】また請求項 28 に記載の発明においては、請求項 27 記載の電圧発生回路を備えた表示装置において、少なくとも前記電圧発生回路はガラス基板上に形成され、前記第 1 及び第 2 の n チャンネルトランジスタは、前記ガラス基板上に形成された半導体層をその能動層として形成され、前記キャパシタの少なくとも一方の電極は前記半導体層の一部に形成された n 型領域によって形成されてなることをその要旨とする。

【0048】また請求項 29 に記載の発明においては、複数の走査線とデータ線との交点にマトリックス状に配列される表示画素と、該表示画素毎に備えられその印加電圧を制御する能動スイッチング素子と、前記複数の走査線を走査するとともに前記能動スイッチング素子を活性化するための駆動電圧を印加する走査線駆動回路と、該走査線駆動回路に電圧を出力する電圧発生回路とを備え、前記電圧発生回路は、2つのキャパシタを有し、それらキャパシタの各一方の端子に接続された各別のノードを介して所定の電圧を発生するものであって、ソース端子及びドレイン端子の一方が前記ノードの 1 つに接続され、他方が前記電圧の出力端子とされる第 1 の n チャンネルトランジスタと、ソース端子及びドレイン端子の一方及びゲート端子が同一のノードに接続され、ソース端子及びドレイン端子の他方が基準電位端子とされる第 2 の n チャンネルトランジスタとを有するトランジスタ対を

2組備え、前記各トランジスタ対の第1のnチャネルトランジスタの前記電圧出力端子は共通接続されるとともに、前記各第1のnチャネルトランジスタのゲート端子はそれぞれ他の組のトランジスタ対が接続されたノードにクロス接続されて且つ、前記各キャパシタの各他方の端子に互いに位相の反転したクロック信号が印加されることをその要旨とする。

【0049】また請求項30に記載の発明においては、請求項29記載の電圧発生回路を備えた表示装置において、少なくとも前記電圧発生回路はガラス基板上に形成され、前記各第1及び各第2のnチャネルトランジスタは各々前記ガラス基板上に形成された半導体層をその能動層として形成され、前記キャパシタの少なくとも一方の電極は前記半導体層の一部に形成されたn型領域によって形成されてなることをその要旨とする。

【0050】上記請求項23～30に記載の発明の各構成によれば、例えば上記電圧発生回路を液晶表示装置に搭載し負電圧を発生させる場合、その走査線に印加する電圧の電圧幅を、例えば所定負電圧から電源電圧の半分までの電圧幅を印加することによって、低消費電力化や能動スイッチング素子のオフ動作マージンを増加させることができるようになる。また、通常負電荷溜め込み用素子として当該表示装置の外部に外付けコンデンサを設けることが多いが、そのような外付けコンデンサの容量を低減して同コンデンサを小型したり、あるいは割愛できるようにする。また、液晶表示装置にとってその電源投入時、上記負電圧はできるだけ早期に立ち上ることが求められるが、上記電圧発生回路によれば、その効率的なポンピング動作によって同負電圧を早期に供給できるようになる。さらに、このように駆動電流（能力）の大きい電圧発生回路を液晶表示装置に搭載することによって、同表示装置としての表示品質を向上させることができるようになる。

【0051】また請求項31に記載の発明においては、請求項23～30のいずれか1項に記載の電圧発生回路を備えた表示装置において、前記電圧発生回路に前記クロック信号として印加する信号のレベルを昇圧変換するレベル変換回路を更に備えることをその要旨とする。

【0052】同構成によれば、このようなレベル変換回路を備えることにより、表示装置に要求される電圧（例えば、所定負電圧）を上記電圧発生回路によって適宜発生させることができるようになる。

【0053】

【発明の実施の形態】（第1の実施の形態）以下、本発明にかかる電圧発生回路の第1の実施の形態を、図1～図4を参照して説明する。

【0054】まず、図1を参照して、本第1の実施の形態にかかる電圧発生回路の基本構成を説明する。同図1に示されるようにこの電圧発生回路は、キャパシタ（ポンピングキャパシタ）CP1、nチャネルMOSトラン

ジスタNT1、及びpチャネルMOSトランジスタPT1等を備えて構成される。

【0055】ここで、上記nチャネルMOSトランジスタ（駆動トランジスタ）NT1のソース端子SがノードND1に接続され、そのドレイン端子Dが負電圧VBBの出力端子3とされる。また、上記pチャネルMOSトランジスタPT1のソース端子SがノードND1に接続され、そのドレイン端子Dが接地端子（基準電位端子）とされる。そして、このnチャネルトランジスタNT1及びpチャネルMOSトランジスタPT1の各ゲート端子Gは共通接続され、その共通接続点はクロック入力端子2に接続される。

【0056】また、上記ノードND1にはキャパシタCP1の一方の電極が接続され、他方の電極はクロック入力端子1に接続される。そしてこのクロック入力端子1と上記クロック入力端子2とに互いに位相の反転したクロック信号CLK、／CLK（「／」は論理反転を示す）が印加される。なお、キャパシタCP1は、nチャネルトランジスタ、あるいはpチャネルMOSトランジスタのソース端子及びドレイン端子を共通接続するかたちで形成されるものであってもよい。

【0057】次に、このように構成される本実施の形態の電圧発生回路による電圧（負電圧）の発生動作の概要を図2のタイミングチャートを参照して説明する。なお、同図2（a）、（b）に示される本実施の形態に使用されるクロック信号CLK、／CLKは、単に互いの位相を反転したものである。

【0058】同図2に示す時刻t1においてクロック信号CLKが「L」レベル（0ボルト）に変化し始めると、ノードND1の電位VN1が低下して負電圧となる（図2（a）、図2（c）参照）。このときクロック信号／CLKが「H」レベル（VDD）になると、nチャネルMOSトランジスタNT1が「ON」し、このとき、同トランジスタNT1のドレイン端子D側からキャパシタCP1の容量に比例した電荷がノードND1側に流れ込む。そして、この電荷は、pチャネルMOSトランジスタPT1が「OFF」状態にあるため、キャパシタCP1に溜め込まれ、それに応じてノード電位VN1が上昇するようになる（図2（c）参照）。

【0059】次に、時刻t2にクロック信号CLKが「H」レベルに変化し始めると、それに対応してノード電位VN1は、さらにクロック信号CLKの「H」レベル（VDD）に相当する分だけ底上げされ更に上昇する。また、このクロック信号CLKが「H」レベルになると、pチャネルMOSトランジスタPT1が「ON」し、このときキャパシタCP1に溜め込まれた電荷がGNDに引き抜かれることとなり、それに伴ってノード電位VN1は低下するようになる（図2（c）参照）。

【0060】続いて、時刻t3において再びクロック信号CLKが「L」レベルに変化し始めると、先の時刻t

10

20

30

40

50

1で説明したのと同様な動作が行われる。このような動作の繰り返しにより、クロック信号CLK、 $\neg$ CLKの1サイクル毎にnチャネルMOSトランジスタNT1のドレイン端子Dの電荷をGNDに汲み出すことによって、同ドレイン端子Dの電圧VBBを負電圧化するようにしている。

【0061】このとき上記構成の本実施の形態の電圧発生回路において、負電圧VBBの到達電圧の理論値は、 $(-VDD + V_{thp2})$ となる。

【0062】また、出力負電圧VBBが低くなってもnチャネルMOSトランジスタNT1を「ON」させるソース端子Sとゲート端子G間の電位差はクロック信号CLKによって与えられるため、出力負電圧VBBの値にかかわらず同トランジスタNT1の駆動能力は十分確保されるようになる。

【0063】また、駆動トランジスタとして、nチャネルトランジスタの特性からpチャネルトランジスタに比べ、その動作速度を高速化でき、また駆動能力も高めることもできる。さらに、pチャネルトランジスタと同等の能力をnチャネルトランジスタで確保する場合にあっては、その素子面積を小面積化することもできる。

【0064】次に、図3を参照して半導体基板上に形成された本実施の形態の電圧発生回路の断面構造の概要を説明する。なお、その等価回路を図4に示す。同図3に示されるように、同電圧発生回路はP型ウェル・N型ウェル・P型ウェル（P-ウェル・N-ウェル・P-ウェル）の3重ウェル構造を有するP型シリコン基板上に形成されている。

【0065】ここで、前記nチャネルトランジスタNT1はP型ウェル上にMOSFETとして形成されるとともに、そのバックゲート電位を得るためにドレイン端子D（電圧出力端子）が該P型ウェルに接続されている。

【0066】また前記pチャネルトランジスタPT1はN型ウェル上にMOSFETとして形成されるとともに、そのバックゲート電位を得るために、正電位が該N型ウェルに印加されている。

【0067】また、キャパシタCP1はP型ウェル上に別途形成されるnチャネルMOSFETのソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子Gが前記ノードND1に接続されている。

【0068】以上説明したように、第1の実施の形態の電圧発生回路によれば、以下のような効果を得ることができる。

【0069】（1）出力負電圧VBBが低くなってもnチャネルMOSトランジスタNT1は確実に「ON」するため、出力負電圧VBBの値にかかわらず同トランジスタNT1の駆動能力は十分確保されるようになる。

【0070】（2）また、駆動トランジスタとしてpチャネルトランジスタを用いた場合に比べ、電圧発生回路

としての動作速度を高速化でき、また駆動能力も高めることもできる。さらに、pチャネルトランジスタと同等の能力をnチャネルトランジスタで確保する場合にあっては、その素子面積を小面積化することもできる。

【0071】なお、上記第1の実施の形態は以下のような形態で実施することもできる。・上記第1の実施の形態においては、電圧発生回路を3重ウェル構造を有するP形シリコン基板上に形成する例を示したがこれに限られない。その他、図5に示すように、同電圧発生回路をN-ウェル・Pウェルの2重ウェル構造を有するN型シリコン基板上に形成されるものであってもよい。

【0072】・また、同電圧発生回路は図6に示すように、ガラス基板上に形成されるものであってもよい。ここでは、nチャネルトランジスタNT1及びpチャネルトランジスタPT1は、前記ガラス基板上の層間絶縁膜101内に、多結晶あるいはアモルファスシリコン等の半導体層をその能動層（ソース・ドレイン領域）として形成される。ここで各トランジスタNT1、PT1のゲート電極Gは、例えば金属クロム（Cr）薄膜によって形成される。なおこのゲート電極Gは、シリサイド薄膜等であってもよい。

【0073】また、前記キャパシタCP1も前記ガラス基板上に形成され、その少なくとも一方の電極（ここでは下部電極103）は上記半導体層の一部に形成されたn型又はp型領域（ここではn領域）によって形成され、その上部電極104は例えば上記金属クロム（Cr）薄膜によって形成される。また、同キャパシタCP1の誘電体膜105は、例えば上記トランジスタNT1、PT1のゲート電極酸化膜102と同一絶縁膜（例えば、シリコン酸化膜）によって形成される。

【0074】（第2の実施の形態）以下、本発明にかかる電圧発生回路の第2の実施の形態を、図7を参照して説明する。なお、ここでは先の図1に示した第1の実施の形態の電圧発生回路との相違点を中心に説明し、同回路と同一の構成要素についてはそれぞれ同一の符号を付してその重複する説明を省略する。

【0075】第2の実施の形態と前記第1の実施形態との構成上の相違点は次の点にある。すなわち、図7に示されるように、インバータINV1をさらに上記クロック入力端子1とキャパシタCP1との間に設けた点にある。

【0076】そのため、先の図1に示される互いに位相の反転した一対のクロック信号CLK、 $\neg$ CLKに代えて、当該電圧発生回路に入力されるクロック信号を1つのクロック信号CLKのみにすることができる。なお、本実施の形態の形態においては、クロック信号CLKをそのまま上記nチャネルトランジスタNT1及びpチャネルトランジスタPT1の各ゲート端子Gの共通接続点に印加し、インバータINV1を介したクロック信号CLKをキャパシタCP1に印加する。

【0077】このようなクロック信号CLKの印加態様により、インバータINV1を介した遅延効果を利用して効率的に負電圧を発生させることができる。すなわち、先の図2に示した時刻t2において、nチャネルMOSランジスタNT1の導通状態を低減した状態で上記ノードND1を正電圧状態とすることができ、このときこの正電圧の影響がnチャネルMOSランジスタNT1の負電圧状態にあるドレイン電極Dの及ぶことが抑制されるようになる。

【0078】以上説明したように、第2の実施の形態の電圧発生回路によれば、上記第1の実施の形態の効果に加え以下のような効果を得ることができる。

(1) クロック入力信号を1つにできるため、同クロック入力信号を2つとする場合に比べ、外部回路の構成を簡単にすることができる。

【0079】(2) インバータINV1を介した遅延効果を利用して効率的に負電圧を発生させることができるようになる。なお、上記第2の実施の形態は以下のような形態で実施することもできる。・インバータINV1を介したクロック信号CLKを上記nチャネルMOSランジスタNT1及びpチャネルMOSランジスタPT1の各ゲート端子Gの共通接続点に印加するように、同インバータINV1を設けることもできる。

【0080】(第3の実施の形態) 以下、本発明にかかる電圧発生回路の第3の実施の形態を図9～図13を照して説明する。なお、ここでも先の図1に示した第1の実施の形態の電圧発生回路との相違点を中心に説明し、同回路と同一の構成要素についてはそれぞれ同一の符号を付してその重複する説明を省略する。

【0081】この第3の実施の形態と前記第1の実施形態との構成上の相違点は次の点にある。すなわち、図9に示されるように、本実施の形態の電圧発生回路は、大きくは先の図1に示した電圧発生回路を一对使用した構成となっている点にある。そして、このような回路構成とすることにより、より効率的にポンピングを行うことのできる電圧発生回路を実現するものである。

【0082】本実施の形態の電圧発生回路は、2つのキャパシタ(ポンピングキャパシタ)CP1、CP2を有し、それらキャパシタCP1、CP2の各一方の端子に接続された各別ノードND1、ND2を介して所定の負電圧VBBを発生するものである。

【0083】そして、ソース端子Sが前記ノードND1、ND2の1つに接続され、他方が負電圧の出力端子とされるnチャネルMOSランジスタ(NT1、NT2)と、ソース端子Sがその同一のノードに接続され、他方が接地端子(基準電位端子)とされるpチャネルMOSランジスタ(PT1、PT2)とを有して、その各ゲート端子Gが互いに共通接続されてなる2組みのMOSランジスタ対(NT1、PT1)、(NT2、PT2)を備えている。

【0084】また、前記各MOSランジスタ対のnチャネルMOSランジスタ(NT1、NT2)のドレイン端子(電圧出力端子)は共通接続されるとともに、上記各共通接続されたゲート端子Gはそれぞれ他の組のMOSランジスタ対が接続されたノードにクロス接続されている。

【0085】さらに、前記各キャパシタCP1、CP2の前記ノードND1、ND2に接続されない側の端子は、互いに位相の反転したクロック信号CLK、/CLKが印加されるクロック信号入力端子1、2とされる。

【0086】次に、このように構成される本実施の形態の電圧発生回路による負電圧の発生動作の概要を図10に示すタイミングチャートを参照して説明する。同図10に示す時刻t1においてクロック信号CLKが「L」レベル(0ボルト)に変化し始めると、ノードND1の電位VN1が低下して負電圧となり(図10(a)、

(c)参照)、それに伴ってnチャネルMOSランジスタNT2が「OFF」状態に移行するとともにpチャネルMOSランジスタPT2が「ON」状態に移行する。また、クロック信号/CLKが「H」レベル(VDD)に変化し始めると、ノードND2の電位VN2は、クロック信号/CLKの「H」レベル(VDD)に相当する分だけ底上げされ上昇し(図10(b)、(d)参照)、それに伴ってnチャネルMOSランジスタNT1が「ON」状態に移行するとともにpチャネルMOSランジスタPT1が「OFF」状態に移行する。

【0087】このとき、上記pチャネルMOSランジスタPT2が「ON」するのに伴って、上記キャパシタCP2に溜め込まれ電荷がGNDに引き抜かれることとなり、それに伴ってノード電位VN2は低下するようになる(図10(d)参照)。

【0088】また、上記nチャネルMOSランジスタNT1が「ON」するのに伴って、同MOSランジスタNT1のドレイン端子D側からキャパシタCP1の容量に比例した電荷がノードND1側に流れ込む。そして、この電荷は、pチャネルMOSランジスタPT1が「OFF」状態にあるため、キャパシタCP1に溜め込まれ、それに伴ってノード電位VN1が上昇するようになる。(図10(c)参照)。

【0089】次に、時刻t2においてクロック信号CLKが「H」レベルに変化し始めるとともに、クロック信号/CLKが「L」レベルに変化し始めると、上記時刻t1とは逆の動作が各MOSランジスタ対にて行われる。

【0090】すなわち、同時刻t2においてクロック信号CLKが「H」レベルに変化し始めると、ノードND1の電位VN1は、クロック信号CLKの「H」レベル(VDD)に相当する分だけ底上げされ上昇し(図10(a)、(c)参照)、それに伴ってnチャネルMOSランジスタNT2が「ON」状態に移行するとともにpチャネルMOSランジスタPT2が「OFF」状態に移行する。また、クロック信号/CLKが「L」レベ



ルに変化し始めると、ノードND2の電位VN2は低下して負電圧となり(図10(b)), (d)参照)、それに伴ってnチャネルMOSトランジスタNT1が「OFF」状態に移行するとともにpチャネルMOSトランジスタPT1が「ON」状態に移行する。このとき、pチャネルMOSトランジスタPT2のゲート電位は負電位であるため、ノードND2と接地電圧GNDとの間に関値電圧(Vthp2)分の差が生じず、ノードND2の電荷はGNDまで引き抜かれることになる。

【0091】このとき、上記pチャネルMOSトランジスタPT1が「ON」するのに伴って、上記キャパシタCP1に溜め込まれ電荷がGNDに引き抜かれることとなり、それに伴ってノード電位VN1は低下するようになる(図10(c)参照)。また、上記nチャネルMOSトランジスタNT2が「ON」するのに伴って、同トランジスタNT2のドレイン端子D側からキャパシタCP2の容量に比例した電荷がノードND2側に流れ込む。そして、この電荷は、pチャネルMOSトランジスタPT2が「OFF」状態にあるため、キャパシタCP2に溜め込まれ、それに伴ってノード電位VN2が上昇するようになる。(図10(d)参照)。

【0092】続いて、時刻t3において再びクロック信号CLKが「L」レベルに変化し始めると、先の時刻t1で説明したのと同様な動作が行われる。このような動作の繰り返しにより、クロック信号CLKあるいは、クロック信号/CLKの半サイクル毎に、nチャネルMOSトランジスタNT1、NT2のいずれかのドレイン端子Dの電荷をGNDに汲み出すことによって、同ドレイン端子Dの電圧VBBを負電圧化するようにしている(図10(e)参照)。

【0093】すなわち、本実施の形態の電圧発生回路においては、クロック信号の半サイクル毎に負電圧化にかかるポンピング動作を行うことにより、より効率的にポンピングを行うことができるようになる。その結果、先の図2(d)と図10(e)との対比から明らかなように、負電圧化速度を第1の実施の形態の電圧発生回路の同速度に比べて早めることができる。また、本実施の形態では、負電圧VBBの到達理論値が、最大理論値(-VDD)となり、より大きな負電圧発生回路を実現することができる。

【0094】次に、図11(a)を参照して半導体基板上に形成された本実施の形態の電圧発生回路の断面構造の概要を説明する。なお、その等価回路を図11(b)に示す。

【0095】同図11(a)に示されるように、同電圧発生回路も先の第1の実施の形態と同様にP-ウェル・N-ウェル・P-ウェルの3重ウェル構造を有するP型シリコン基板上に形成されている。

【0096】ここで、前記各nチャネルトランジスタNT1、NT2はP型ウェル上にMOSFETとして形成

されるとともに、そのバックゲート電位を得るために各ドレイン端子D(電圧出力端子)が該P型ウェルに接続されている。

【0097】また前記各pチャネルトランジスタPT1、PT2はN型ウェル上にMOSFETとして形成されるとともに、そのバックゲート電位を得るために前記クロック信号CLK、/CLKが各対応するN型ウェルに印加されている。

【0098】また、各キャパシタCP1、CP2はN型ウェル上に別途形成されるpチャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子Gが各対応するノードND1、ND2に接続されている。

【0099】ちなみに、このようにP型シリコン基板上に3重ウェル構造にて形成される本実施の形態の電圧発生回路と、先の図38に示したP型シリコン基板上にP-ウェル・N-ウェルの2重ウェル構造にて形成されるとともに駆動トランジスタとしてpチャネルMOSトランジスタを使用した従来の電圧発生回路との電流駆動特性の相違を図12~図14に示されるグラフにて示す。なお、同図12~図14において、「IBBp」は上記従来の電圧発生回路による駆動電流を示し、「IBBn」は本実施の形態の電圧発生回路による駆動電流を示す。

【0100】まず図12は、各々の駆動トランジスタサイズを同じにして、キャパシタの容量を変化させて各々の電圧出力端子3からGND(グラウンド)に流れる駆動電流の値をシュミレーションしたものである。ここでは、電源電圧を3.3V、0.35μmルール、室温等をパラメータとしている。

【0101】同図12からキャパシタの容量が増大するに伴いnチャネルMOSトランジスタのほうで、駆動電流が大きくなることがわかる。これは、大きな駆動電流を得るためには、駆動トランジスタとしてnチャネルMOSトランジスタを採用した本実施の形態のほうが有利であるとともに、同一駆動電流を得るための駆動トランジスタのサイズを小さくできることを示している。

【0102】次に図13は、トランジスタサイズ及び上記パラメータを同一にして、電圧出力端子3の初期電圧値(VBB)を変化させて上記駆動電流の値をシュミレーションしたものである。

【0103】同図13から、電圧出力端子3の負電圧値VBBがより負電圧化されるにしたがって、pチャネルMOSトランジスタの駆動能力がnチャネルMOSトランジスタに比べて低下することがわかる。

【0104】これは、所定の負電圧値VBBにおけるnチャネルMOSトランジスタの駆動能力の優位性を示している。次に図14は、トランジスタサイズを同一にして、電源電圧を変化させて上記駆動電流の値をシュミレーションしたものである。なお、ここでは0.18μm

10

20

30

40

50



ルールをパラメータとして採用している。

【0105】同図14から、電源電圧が低電源電圧化した場合においても、 $n$ チャネルMOSトランジスタの駆動能力の優位性が示される。以上説明したように、第3の実施の形態の電圧発生回路によれば、上記第1の実施の形態の効果に加え以下のような効果を得ることができる。

【0106】(1)本実施の形態の電圧発生回路においては、クロック信号の半サイクル毎に負電圧化にかかるポンピング動作が行われたため、より効率的にポンピングを行うことができるようになる。その結果、負電圧化速度を早めることができる。

【0107】なお、上記第3の実施の形態は以下のような形態で実施することもできる。・上記第3の実施の形態においては、前記各 $p$ チャネルトランジスタPT1、PT2のバックゲート電位を得るために前記クロック信号CLK、 $\neg$ CLKを各トランジスタ形成される $N$ 型ウェルに印加される例を示したがこれに限られない。各トランジスタPT1、PT2のバックゲート電位を得る構造としては、図15(a)に示すように、正電位、例えば電源電圧VDDが各 $N$ 型ウェルに印加されるようにしてもよい。なお、図15(b)にその等価回路を示す。

【0108】・上記第3の実施の形態においては、各キャパシタCP1、CP2を $N$ 型ウェル上に別途形成される $p$ チャネルトランジスタにて形成する例を示したがこれに限られず、図16(b)に示すように、 $P$ 型ウェル上に別途形成される $n$ チャネルトランジスタにて形成するようにしてもよい。なお、図16(b)にその等価回路を示す。

【0109】・上記第3の実施の形態においては、電圧発生回路を3重ウェル構造を有する $P$ 形シリコン基板上に形成する例を示したがこれに限られない。その他、図17に示すように、同電圧発生回路を $N$ -ウェル・ $P$ -ウェルの2重ウェル構造を有する $N$ 型シリコン基板上に形成されるものであってもよい。

【0110】・また、同電圧発生回路は図18に示すように、ガラス基板上に形成された絶縁膜上に形成されるものであってもよい。ここでは、各 $n$ チャネルトランジスタNT1、NT2及び各 $p$ チャネルトランジスタPT1、PT2は、前記絶縁膜上に形成される層間絶縁膜101内に、単結晶、多結晶あるいはアモルファスシリコン等の半導体層をその能動層(ソース・ドレイン領域)として形成される。

【0111】また、前記キャパシタCP1、CP2も前記ガラス基板上に形成され、その下部電極103(少なくともその一方の電極)は上記半導体層の一部に形成された $n$ 型領域(又は $p$ 型領域)によって形成される。また、同キャパシタCP1、CP2の誘電体膜105は、例えば上記トランジスタNT1、PT1のゲート電極酸化膜102と同一絶縁膜(例えば、シリコン酸化膜)に

よって形成される。

【0112】・また、同電圧発生回路は図19に示すように、ガラス基板上に形成されるものであってもよい。ここでは、各 $n$ チャネルトランジスタNT1、NT2及び各 $p$ チャネルトランジスタPT1、PT2は、先の図6に示したのと同様に、前記ガラス基板上に形成される層間絶縁膜101内に、多結晶あるいはアモルファスシリコン等の半導体層をその能動層(ソース・ドレイン領域)として形成される。ここで各トランジスタNT1、NT2、PT1、PT2のゲート電極Gは、例えば金属クロム(Cr)薄膜によって形成される。なおこのゲート電極Gは、シリサイド薄膜等であってもよい。

【0113】また、前記キャパシタCP1、CP2も前記ガラス基板上に形成され、その下部電極103(少なくともその一方の電極)は上記半導体層の一部に形成された $n$ 型領域(又は $p$ 型領域)によって形成され、その上部電極104は例えば上記金属クロム(Cr)薄膜によって形成される。また、同キャパシタCP1、CP2の誘電体膜105は、例えば上記トランジスタNT1、PT1のゲート電極酸化膜102と同一絶縁膜(例えば、シリコン酸化膜)によって形成される。

【0114】ちなみに、このようにガラス基板上に形成される本実施の形態の電圧発生回路と、先の図38に示した従来の電圧発生回路が同じくガラス基板上に形成されたものの電流駆動特性の相違を図20及び図21のグラフにて示す。なお、同図20及び図21において、「IBBp」は上記従来の電圧発生回路による駆動電流を示し、「IBBn」は本実施の形態の電圧発生回路による駆動電流を示す。また、ここでは各トランジスタはガラス基板上に多結晶シリコン薄膜トランジスタとして形成されている。

【0115】まず図20は、各キャパシタの容量の同一にして駆動トランジスタサイズを変化させて各々の電圧出力端子3からGND(グラウンド)に流れる駆動電流の値をシュミレーションしたものである。ここでは、電源電圧を12V、5 $\mu$ mルール、室温等をパラメータとしている。

【0116】同図20から、駆動トランジスタとして、 $p$ チャネルMOSトランジスタに対する $n$ チャネルMOSトランジスタの駆動電流能力の優位性及び同一駆動電流を得るためのレイアウト面積の優位性が分かる。

【0117】次に図21は先の図13と同様に、トランジスタサイズ及び上記パラメータを同一にして、電圧出力端子3の初期電圧値(VBB)を変化させて上記駆動電流の値をシュミレーションしたものである。

【0118】同図21から、電圧発生回路がガラス基板上に形成される場合にあっても、電圧出力端子の負電圧値VBBがより負電圧化されるにしたがって、 $p$ チャネルMOSトランジスタの駆動能力が $n$ チャネルMOSトランジスタに比べて低下することがわかり、所定の負電

圧値 VBB における n チャネル MOS トランジスタの駆動能力の優位性が示される。

【0119】・また、同電圧発生回路は図 22 に示すように、ガラス基板上に形成されるとともに、先の図 19 に示したトップゲート形に対して、各 n チャネルトランジスタ NT1、NT2 及び p チャネルトランジスタ PT1、PT2 がボトムゲート形に形成されるものとしてもよい。

【0120】・また、本実施の形態においては、電圧発生回路に印加される互いに位相の反転した一対のクロック信号 CLK、/CLK として、先の図 10 (a)、

(b) に示されるように、単に互いの位相を反転したものを採用したがこれに限られない。その他、図 23 に示されるような一対のクロック信号 PCLK1、PCLK2 を別途生成してクロック入力端子 1、2 に各々印加するようにしてもよい。

【0121】この一対のクロック信号 PCLK1、PCLK2 は、同図 23 に示されるように、その位相反転時、各クロック信号が共に論理「ロー」レベルとなる期間  $\tau_1$ 、 $\tau_2$  を有するように形成されたものである。このように各クロック信号が共に論理「ロー」レベルとなる期間を有することにより、例えば駆動トランジスタを確実に「OFF (オフ)」させてから上記ノードを正電圧にできること等によって、効率的に負電圧を発生させることができるようになる。なおこのクロック信号 PCLK1、PCLK2 は個別に形成されるものであってもよいし、あるいは一つのクロック信号源から形成されるものであってもよい。

【0122】ちなみに、図 24 に一つのクロック信号源から形成される例を示す。ここでは、クロック信号 CLK をインバータ回路 INV1 を介して、位相の反転したクロック信号を形成するための論理回路 5、及び各クロック信号の位相反転時、それらクロック信号が共に論理「ロー」レベルとなる上記期間  $\tau_1$ 、 $\tau_2$  を有するように期間調整する遅延回路 4 に印加することによって、上記 PCLK1、PCLK2 が容易且つ自動的に生成される。

【0123】(第 4 の実施の形態) 以下、本発明にかかる電圧発生回路の第 4 の実施の形態を、図 25～図 28 を参照して説明する。なお、ここでは先の図 1 に示した第 1 の実施の形態の電圧発生回路との相違点を中心に説明し、同第 1 の実施の形態の電圧発生回路と同一の構成要素についてはそれぞれ同一の符号を付してその重複する説明を省略する。

【0124】この第 4 の実施の形態と前記第 1 の実施の形態との構成上の相違点は次の点にある。すなわち、図 25 に示されるように、先の図 1 に示した p チャネル MOS トランジスタを n チャネル MOS トランジスタに変更した点にある。具体的には、先の図 1 に示される p チャネル MOS トランジスタ PT1 に代えて n チャネル M

OS トランジスタ NT2 を設けた点にある。

【0125】同図 25 に示されるように本実施の形態の電圧発生回路は、キャパシタ CP1、第 1 の n チャネル MOS トランジスタ NT1、及び第 2 の n チャネル MOS トランジスタ NT2 等を備えて構成される。

【0126】ここで、上記第 1 の n チャネル MOS トランジスタ (駆動トランジスタ) NT1 のソース端子 S がノード ND1 に接続され、そのドレイン端子 D が負電圧 VBB の出力端子 3 とされる。また、上記第 2 の n チャネル MOS トランジスタ NT2 のドレイン端子 D 及びゲート端子 G がノード ND1 に接続され、そのソース端子 S が接地端子 (基準電位端子) とされる。そして、上記第 1 及の n チャネル MOS トランジスタ NT1 のゲート端子 G はクロック入力端子 2 に接続される。

【0127】また、上記ノード ND1 にはキャパシタ CP1 の一方の電極が接続され、他方の電極はクロック入力端子 1 に接続される。そしてこのクロック入力端子 1 と上記クロック入力端子 2 とに互いに位相の反転したクロック信号 CLK、/CLK が印加される。なお、キャパシタ CP1 は、n チャネル MOS トランジスタ、あるいは p チャネル MOS トランジスタのソース端子及びドレイン端子を共通接続するかたちで形成されるものであってもよい。

【0128】次に、このように構成される本実施の形態の電圧発生回路による負電圧の発生動作の概要を図 26 のタイミングチャートを参照して説明する。なお、同図 26 (a)、(b) に示される本実施の形態に使用されるクロック信号 CLK、/CLK は、単に互いの位相を反転したものである。

【0129】同図 26 に示す時刻  $t_1$  においてクロック信号 CLK が「L」レベル (0 ボルト) に変化し始めると、ノード ND1 の電位 VN1 が低下して負電圧となる (図 26 (a)、(c) 参照)。このときクロック信号 /CLK が「H」レベル (VDD) になると、第 1 の n チャネル MOS トランジスタ NT1 が「ON」し、このとき、同トランジスタ NT1 のドレイン端子 D 側からキャパシタ CP1 の容量に比例した電荷がノード ND1 側に流れ込む。そして、この電荷は、第 2 の n チャネル MOS トランジスタ NT2 が「OFF」状態にあるため、キャパシタ CP1 に溜め込まれ、それに応じてノード電位 VN1 が上昇するようになる (図 26 (c) 参照)。

【0130】次に、時刻  $t_2$  にクロック信号 CLK が「H」レベルに変化し始めると、それに対応してノード電位 VN1 は、クロック信号 CLK の「H」レベル (VDD) に相当する分だけ底上げされ更に上昇する。また、このクロック信号 CLK が「H」レベルになると、第 2 の n チャネル MOS トランジスタ NT2 が「ON」し、このときキャパシタ CP1 に溜め込まれた電荷が GND に引き抜かれることとなり、それに伴ってノード電位 VN1 は低下するようになる (図 26 (c) 参照)。

10

20

30

40

50

【0131】続いて、時刻  $t_3$  において再びクロック信号 CLK が「L」レベルに変化し始めると、先の時刻  $t_1$  で説明したのと同様な動作が行われる。このような動作の繰り返しにより、クロック信号 CLK、 $\neg$ CLK の 1 サイクル毎に n チャンネル MOS トランジスタ NT1 のドレイン端子 D の電荷を GND に汲み出すことによって、同ドレイン端子 D の電圧を負電圧化するようにしている（図 26 (d) 参照）。

【0132】このとき上記構成の本実施の形態の電圧発生回路において、第 1 の実施の形態の電圧発生回路と同様に、出力負電圧 VBB が低くなっても n チャンネル MOS トランジスタ NT1 を「ON」させるソース端子 S とゲート端子 G 間の電位差はクロック信号  $\neg$ CLK によって与えられるため、出力負電圧 VBB の値にかかわらず同トランジスタ NT1 の駆動能力は十分確保されるようになる。

【0133】また、駆動トランジスタとして、n チャンネルトランジスタの特性から p チャンネルトランジスタに比べ、その動作速度を高速化でき、また駆動能力も高めることもできる。さらに、p チャンネルトランジスタと同等の能力を n チャンネルトランジスタで確保する場合にあっては、その素子面積を小面積化することもできる。

【0134】次に、図 27 を参照して半導体基板上に形成された本実施の形態の電圧発生回路の断面構造の概要を説明する。なお、その等価回路を図 28 に示す。同図 27 に示されるように、同電圧発生回路は P 型ウェル・N 型ウェル・P 型ウェル（P-ウェル・N-ウェル・P-ウェル）の 3 重ウェル構造を有する P 型シリコン基板上に形成されている。

【0135】ここで、前記第 1 の n チャンネルトランジスタ NT1 は P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るためにドレイン端子 D（電圧出力端子）が該 P 型ウェルに接続されている。

【0136】また同様に、第 2 の n チャンネルトランジスタ NT2 は P 型ウェル上に MOSFET として形成されるとともに、そのバックゲート電位を得るためにノード ND1 が該 P 型ウェルに接続されている。

【0137】また、キャパシタ CP1 は P 型ウェル上に別途形成される n チャンネル MOSFET のソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子 G が前記ノード ND1 に接続されている。

【0138】このように構成される本実施の形態の電圧発生回路においても、第 1 の実施の形態の電圧発生回路と同等の負電圧を発生することができ、同様の効果が得られる。

【0139】なお、上記第 4 の実施の形態は以下のような形態で実施することもできる。

・上記第 4 の実施の形態においては、電圧発生回路を 3

重ウェル構造を有する P 型シリコン基板上に形成する例を示したがこれに限られない。その他、図 29 に示すように、同電圧発生回路を N-ウェル・P-ウェルの 2 重ウェル構造を有する N 型シリコン基板上に形成されるものであってもよい。

【0140】・また、同電圧発生回路は図 30 に示すように、ガラス基板上に形成されるものであってもよい。ここでは、n チャンネルトランジスタ NT1、NT2 は、前記ガラス基板上に形成される層間絶縁膜 101 内に、多結晶あるいはアモルファスシリコン等の半導体層をその能動層（ソース・ドレイン領域）として形成される。ここで各トランジスタ NT1、PT1 のゲート電極 G は、例えば金属クロム（Cr）薄膜によって形成される。なおこのゲート電極 G は、シリサイド薄膜等であってもよい。

【0141】また、前記キャパシタ CP1 も前記ガラス基板上に形成され、その少なくとも一方の電極（ここでは下部電極 103）は上記半導体層の一部に形成された n 型領域によって形成され、その上部電極 104 は例えば上記金属クロム（Cr）薄膜によって形成される。また、同キャパシタ CP1 の誘電体膜 105 は、例えば上記トランジスタ NT1、PT1 のゲート電極酸化膜 102 と同一絶縁膜（例えば、シリコン酸化膜）によって形成される。

【0142】・また、同電圧発生回路は先の図 18 に示されるように、ガラス基板上に形成された絶縁膜上に形成されるものであってもよい。

・また、上記クロック信号 CLK、 $\neg$ CLK として、先の図 23 に示されるような、その位相反転時、各クロック信号が共に論理「ロー」レベルとなる期間  $\tau_1$ 、 $\tau_2$  を有するクロック信号 PCLK1、PCLK2 としてもよい。

【0143】（第 5 の実施の形態）以下、本発明にかかる電圧発生回路の第 5 の実施の形態を、図 31～図 33 を参照して説明する。なお、ここでは先の図 9 に示した第 3 の実施の形態の電圧発生回路との相違点を中心に説明し、同第 3 の実施の形態電圧発生回路と同一の構成要素についてはそれぞれ同一の符号を付してその重複する説明を省略する。

【0144】この第 5 の実施の形態と前記第 3 の実施形態との構成上の相違点は次の点にある。すなわち、図 31 に示されるように、先の図 9 に示した p チャンネル MOS トランジスタを n チャンネル MOS トランジスタに変更した点にある。具体的には、先の図 9 に示される p チャンネル MOS トランジスタ PT1、PT2 に代えて、図 31 に示される n チャンネル MOS トランジスタ NT2、NT2' を設けた点にある。

【0145】本実施の形態の電圧発生回路は、同図 31 に示されるように、ソース端子 S が前記ノード ND1、ND2 の 1 つに接続され、他方が負電圧の出力端子とさ

れる第1のnチャネルトランジスタ (NT1, NT1') と、ドレイン端子Dがその同一のノードに接続され、他方が接地端子 (基準電位端子) とされる第2のnチャネルトランジスタ (NT2, NT2') とを有して、その各ゲート端子Gが互いに共通接続されてなる2組のトランジスタ対 (NT1, NT2)、(NT1', NT2') を備えている。

【0146】また、前記各トランジスタ対の第1のnチャネルトランジスタ (NT1, NT1') のドレイン端子 (電圧出力端子) Dは共通接続されるとともに、同第1のnチャネルトランジスタ (NT1, NT1') のゲート端子Gはそれぞれ他の組のトランジスタ対が接続されたノードにクロス接続されている。

【0147】次に、このように構成される本実施の形態の電圧発生回路による負電圧の発生動作の概要を図32に示すタイミングチャートを参照して説明する。同図32に示す時刻t1においてクロック信号CLKが「L」レベル (0ボルト) に変化し始めると、ノードND1の電位VN1が低下して負電圧となり (図32 (a),

(c) 参照)、それに伴ってnチャネルMOSトランジスタNT1' が「OFF」状態に移行するとともにnチャネルMOSトランジスタNT2' が「ON」状態に移行する。また、クロック信号/CLKが「H」レベル (VDD) に変化し始めると、ノードND2の電位VN2は、クロック信号/CLKの「H」レベル (VDD) に相当する分だけ底上げされ上昇し (図32 (b), (d) 参照)、それに伴ってnチャネルMOSトランジスタNT1が「ON」状態に移行するとともにnチャネルMOSトランジスタNT2が「OFF」状態に移行する。

【0148】このとき、上記nチャネルMOSトランジスタNT2' が「ON」するのに伴って、上記キャパシタCP2に溜め込まれ電荷がGNDに引き抜かれることとなり、それに伴ってノード電位VN2は低下するようになる (図32 (d) 参照)。

【0149】また、上記nチャネルMOSトランジスタNT1が「ON」するのに伴って、同トランジスタNT1のドレイン端子D側からキャパシタCP1の容量に比例した電荷がノードND1側に流れ込む。そして、この電荷は、nチャネルMOSトランジスタNT2が「OFF」状態にあるため、キャパシタCP1に溜め込まれ、それに伴ってノード電位VN1が上昇するようになる。 (図32 (c) 参照)。

【0150】次に、時刻t2においてクロック信号CLKが「H」レベルに変化し始めるとともに、クロック信号/CLKが「L」レベルに変化し始めると、上記時刻t1とは逆の動作が各トランジスタ対にて行われる。

【0151】すなわち、同時刻t2においてクロック信号CLKが「H」レベルに変化し始めると、ノードND1の電位VN1は、クロック信号CLKの「H」レベル

(VDD) に相当する分だけ底上げされ上昇し (図32 (a), (c) 参照)、それに伴ってnチャネルMOSトランジスタNT1' が「ON」状態に移行するとともにnチャネルMOSトランジスタNT2' が「OFF」状態に移行する。また、クロック信号/CLKが「L」レベルに変化し始めると、ノードND2の電位VN2は低下して負電圧となり (図32 (b), (d) 参照)、それに伴ってnチャネルMOSトランジスタNT1が「OFF」状態に移行するとともにnチャネルMOSトランジスタNT2が「ON」状態に移行する。

【0152】このとき、上記nチャネルMOSトランジスタNT2が「ON」するのに伴って、上記キャパシタCP1に溜め込まれ電荷がGNDに引き抜かれることとなり、それに伴ってノード電位VN1は低下するようになる (図32 (c) 参照)。また、上記nチャネルMOSトランジスタNT1' が「ON」するのに伴って、同トランジスタNT1' のドレイン端子D側からキャパシタCP2の容量に比例した電荷がノードND2側に流れ込む。そして、この電荷は、nチャネルMOSトランジスタNT2' が「OFF」状態にあるため、キャパシタCP2に溜め込まれ、それに伴ってノード電位VN2が上昇するようになる。 (図32 (d) 参照)。

【0153】続いて、時刻t3において再びクロック信号CLKが「L」レベルに変化し始めると、先の時刻t1で説明したのと同様な動作が行われる。このような動作の繰り返しにより、クロック信号CLKあるいは、クロック信号/CLKの半サイクル毎に、nチャネルMOSトランジスタNT1, NT1' のいずれかのドレイン端子Dの電荷をGNDに汲み出すことによって、同ドレイン端子Dの電圧VBBを負電圧化するようにしている (図32 (e) 参照)。

【0154】すなわち、本実施の形態の電圧発生回路においては、第3の実施の形態と同様に、クロック信号の半サイクル毎に負電圧化にかかるポンピング動作を行うことにより、より効率的にポンピングを行うことができるようになり、その結果、負電圧化速度を早めることができる。

【0155】次に、図33 (a) を参照して半導体基板上に形成された本実施の形態の電圧発生回路の断面構造の概要を説明する。なお、その等価回路を図33 (b) に示す。

【0156】同図33 (a) に示されるように、同電圧発生回路も先の第3の実施の形態と同様にP-ウェル・N-ウェル・P-ウェルの3重ウェル構造を有するP型シリコン基板上に形成されている。

【0157】ここで、前記各nチャネルトランジスタNT1, NT2, NT1', NT2' はP型ウェル上にMOSFETとして形成されるとともに、そのバックゲート電位を得るために各ドレイン端子Dが該P型ウェルに接続されている。

10

20

30

40

50

【0158】また、各キャパシタCP1、CP2はP型ウェル上に別途形成されるnチャネルトランジスタのソース端子及びドレイン端子が共通接続されたものとして形成され、そのゲート端子Gが各対応するノードND1、ND2に接続されている。

【0159】このように構成される本実施の形態の電圧発生回路においても、第3の実施の形態の電圧発生回路と同等の負電圧を発生することができ、同様の効果が得られる。

【0160】なお、上記第5の実施の形態は以下のよう  
10 な形態で実施することもできる。

・上記第5の実施の形態においては、電圧発生回路を3重ウェル構造を有するP形シリコン基板上に形成する例を示したがこれに限られない。その他、図34に示すように、同電圧発生回路をN-ウェル・P-ウェルの2重ウェル構造を有するN型シリコン基板上に形成されるものであってもよい。

【0161】ここでは、各nチャネルトランジスタNT1、NT2、NT1'、NT2'は前記絶縁膜上に、単結晶、多結晶あるいはアモルファス等のシリコントランジスタとして形成される。また、前記各キャパシタCP1、CP2は絶縁膜上に形成されたシリコン電極及び絶縁薄膜によって形成される。

【0162】・また、同電圧発生回路は図35に示すように、ガラス基板上に形成されるものであってもよい。ここでは、各nチャネルトランジスタNT1、NT2、NT1'、NT2'は、先の図30に示したのと同様に、前記ガラス基板上に形成される層間絶縁膜101内に、多結晶あるいはアモルファスシリコン等の半導体層をその能動層（ソース・ドレイン領域）として形成され  
30 る。ここで各トランジスタNT1、NT2、NT1'、NT2'のゲート電極Gは、例えば金属クロム（Cr）薄膜によって形成される。なおこのゲート電極Gは、シリサイド薄膜等であってもよい。

【0163】また、前記キャパシタCP1、CP2も前記ガラス基板上に形成され、その下部電極103（少なくともその一方の電極）は上記半導体層の一部に形成されたn型領域によって形成され、その上部電極104は例えば上記金属クロム（Cr）薄膜によって形成される。また、同キャパシタCP1、CP2の誘電体膜105は、例えば上記トランジスタNT1、PT1のゲート電極酸化膜102と同一絶縁膜（例えば、シリコン酸化膜）によって形成される。。なお、ここでは各トランジスタがボトムゲート形に形成される構成としてもよい。

【0164】・また、同電圧発生回路は先の図18に示されるように、ガラス基板上に形成された絶縁膜上に形成されるものであってもよい。

・また、上記クロック信号CLK、/CLKとして、先の図23に示されるような、その位相反転時、各クロック信号が共に論理「ロー」レベルとなる期間 $\tau_1$ 、 $\tau_2$   
40

を有するクロック信号PCLK1、PCLK2としてもよい。

【0165】（第6の実施の形態）以下、本発明にかかる第6の実施の形態である電圧発生回路を備えた表示装置について、図36を参照して説明する。なお、ここでは同電圧発生回路を備えた表示装置としてポリシリコンTFT液晶表示装置に適用した例を示す。

【0166】同図36に示すように、本実施の形態の表示装置は、大きくは、ガラス基板上に形成される表示部50、走査線駆動回路60、データ駆動回路70、電圧発生回路80、レベル変換回路90等を備えて構成される。

【0167】上記表示部50は複数の走査線（Y1～Yn）とデータ線（X1～Xm）との交点にマトリクス状に配列される表示画素PX、該表示画素PX毎に備えられその印加電圧を制御する能動スイッチング素子ST等を備えて構成される。なお、この能動スイッチング素子STは、例えばポリシリコン薄膜トランジスタによって形成されている。

【0168】また走査線駆動回路60は、前記複数の走査線Yを走査するとともに同走査線Yに前記能動スイッチング素子STを活性化するための駆動電圧を印加する。一方、データ駆動回路70は、各走査線Yに対応した画素情報をデータ線（X1～Xm）に出力する。

【0169】また電圧発生回路80は、この実施の形態においては、例えば先の図9に示したような回路構成を有して、また先の図19に示したような断面構造を有してガラス基板上に形成されている。

【0170】すなわち、2つのキャパシタを有し、それらキャパシタの各一方の端子に接続された各別のノードを介して所定の負電圧を発生するものであって、先の図1に示した電圧発生回路を一对使用した構成となっている。そして、クロック信号CLK、/CLK（HCLK1、HCLK2）の半周期毎に効率的にポンピングを行うことができるようになっている。特にここでは、同電圧発生回路80を構成する各nチャネルトランジスタ及び各pチャネルトランジスタは、ガラス基板上に、ポリシリコン薄膜トランジスタとして形成されている。

【0171】また、レベル変換回路90は上記電圧発生回路80に前記クロック信号CLK、/CLKとして印加される信号のレベルを昇圧変換するものである。ここでは、例えば、0～5Vのクロック信号LCLK1、LCLK2を0～15Vのクロック信号HCLK1、HCLK2にレベル変換して電圧発生回路80に印加する。このように、クロック信号のレベル変換を行うことによって、走査線駆動回路60で必要とされる所定の負電圧VBBを容易且つ高効率に電圧発生回路80から発生させることができるようになる。

【0172】このように構成される本実施の形態の電圧発生回路を備えた表示装置によれば、以下のような効果  
50

を得ることができる。

(1) 上記電圧発生回路 80 を液晶表示装置に搭載することによって、従来上記走査線 (Y1~Yn) には、接地電位から電源電圧 VDD までの電圧幅の電圧を印加していたが、例えば所定負電圧 VBB から電源電圧 VDD の半分までの電圧幅を印加することによって、低消費電力化や能動スイッチング素子 ST のオフ動作マージンを増加させることができるようになる。また、液晶表示装置の一对の対向電極を AC 駆動する場合においても、上記電圧発生回路 80 によれば、その到達負電圧が電圧発生回路 80 を構成するトランジスタの閾値に関係無く大きいので、表示画素 PX 毎に備えられた能動スイッチング素子 ST としてのトランジスタのゲート電位をより深い負電位にすることができ、リーク電流を防止して低消費電力化を実現することができる。

【0173】(2) また、液晶表示装置に負電圧を供給する場合にあっては通常、図 36 に併せ示すように、負電荷溜め込み用素子として当該表示装置の外部に外付けコンデンサを設けることが多いが、上記電圧発生回路 80 を液晶表示装置に搭載することによって、そのような外付けコンデンサの容量を低減して同コンデンサを小型したり、あるいは割愛できるようになる。

【0174】(3) また、液晶表示装置にとってその電源投入時、上記負電圧 VBB はできるだけ早期に立ち上がることが求められるが、上記電圧発生回路 80 によれば、その効率的なポンピング動作によって同負電圧 VBB を早期に供給できるようになる。

【0175】(4) また、このように駆動電流(能力)の大きい電圧発生回路 80 を液晶表示装置に搭載することによって、同表示装置としての表示品質を向上させることができるようになる。

【0176】なお、上記第 6 の実施の形態は以下のような形態で実施することもできる。

・液晶表示装置に搭載する電圧発生回路 80 としては、先の図 9 に示したような回路構成を有して、且つ先の図 19 に示したような断面構造をもってガラス基板上に形成されるものに限られない。その他、先の図 1 に示したような回路構成を有して、且つ先の図 6 に示したような断面構造をもってガラス基板上に形成されるものであってもよいし、あるいは先の図 9 に示したような回路構成を有して、且つ先の図 22 に示したような断面構造をもってガラス基板上に形成されるものであってもよい。また、先の図 25 に示したような回路構成を有して、且つ先の図 30 に示したような断面構造をもってガラス基板上に形成されるものであってもよいし、あるいは先の図 31 に示したような回路構成を有して、且つ先の図 35 に示したような断面構造をもってガラス基板上に形成されるものであってもよい。

【0177】・電圧発生回路を備えた液晶表示装置としてはポリシリコン TFT 液晶表示装置に限られず、その

他、例えばアモルファスシリコン TFT 液晶表示装置であつてもよい。

【0178】・また、本発明にかかる電圧発生回路を備えた表示装置は、上記液晶表示装置に限られず、その他、例えば有機 EL (Electro Luminescence) 表示装置等の表示装置にも同様に適用することができる。

【0179】・また、上記クロック信号 CLK1, CLK2 として、先の図 23 に示されるような、その位相反転時、各クロック信号が共に論理「ロー」レベルとなる期間  $\tau_1$ ,  $\tau_2$  を有するクロック信号 PCLK1, PCLK2 としてもよい。

【0180】その他、上記各実施の形態に共通に変更可能な要素としては次のようなものがある。

・上記各実施の形態においては、基準電位を接地電位 (GND) として出力端子 3 から負電圧 VBB を発生する電圧発生回路の例を示したがこれに限られない。その他、本発明の電圧発生回路を、例えば上記基準電位を所定の負電圧として当該回路の出力端子からさらに低い負電圧を発生させる場合や、あるいは基準電位を所定の正電圧として同出力端子から同所定正電圧より低い正電圧あるいは負電圧を発生させる場合にも適用することができる。

#### 【図面の簡単な説明】

【図 1】この発明にかかる電圧発生回路の第 1 の実施の形態についてその基本回路構成を示す回路図。

【図 2】同第 1 の実施の形態の電圧発生回路の動作を示すタイミングチャート。

【図 3】同第 1 の実施の形態の電圧発生回路を 3 層ウェル上に形成した構造例を示す断面図。

【図 4】図 3 の構造に対応した同電圧発生回路の等価回路を示す回路図。

【図 5】同第 1 の実施の形態の電圧発生回路を 2 層ウェル上に形成した構造例を示す断面図。

【図 6】同第 1 の実施の形態の電圧発生回路をガラス基板上に形成した構造例を示す断面図。

【図 7】この発明にかかる電圧発生回路の第 2 の実施の形態についてその基本回路構成を示す回路図。

【図 8】同第 2 の実施の形態の電圧発生回路の変形例を示す回路図。

【図 9】この発明にかかる電圧発生回路の第 3 の実施の形態についてその基本回路構成を示す回路図。

【図 10】同第 3 の実施の形態の電圧発生回路の動作を示すタイミングチャート。

【図 11】同第 3 の実施の形態の電圧発生回路を 3 層ウェル上に形成した構造例を示す断面図。

【図 12】同第 3 の実施の形態の電圧発生回路と従来の電圧発生回路との電気的特性を比較したグラフ。

【図 13】同じく同第 3 の実施の形態の電圧発生回路と従来の電圧発生回路との電気的特性を比較したグラフ。

【図 14】同じく同第 3 の実施の形態の電圧発生回路と

従来の電圧発生回路との電気的特性を比較したグラフ。

【図15】同第3の実施の形態の電圧発生回路の変形例についてこれを3層ウェル上に形成した構造例を示す断面図。

【図16】同第3の実施の形態の電圧発生回路の他の変形例についてこれを3層ウェル上に形成した構造例を示す断面図。

【図 17】同第 3 の実施の形態の電圧発生回路を 2 層ウェル上に形成した構造例を示す断面図。

【図 18】同第 3 の実施の形態の電圧発生回路をシリコン基板の絶縁膜上に形成した構造例を示す断面図。

【図 19】同第 3 の実施の形態の電圧発生回路をガラス基板上に形成した構造例を示す断面図。

【図 20】同第 3 の実施の形態にかかる電圧発生回路と従来の電圧発生回路との電気的特性を比較したグラフ。

【図 21】同じく同第 3 の実施の形態にかかる電圧発生回路と従来の電圧発生回路との電気的特性を比較したグラフ。

【図 22】同第 3 の実施の形態にかかる電圧発生回路をガラス基板上に形成した他の構造例を示す断面図。

【図 23】同第 3 の実施の形態の電圧発生回路に印加するクロック信号についてその変形例示すタイミングチャート。

【図24】図23に示したクロック信号を自動生成する回路例を示す回路図。

【図 25】この発明にかかる電圧発生回路の第 4 の実施の形態についてその基本回路構成を示す回路図。

【図 26】同第 4 の実施の形態の電圧発生回路の動作を示すタイミングチャート。

【図 27】同第 4 の実施の形態の電圧発生回路を 3 層ウェル上に形成した構造例を示す断面図。

【図 28】 図 27 の構造に対応した同電圧発生回路の等

価回路を示す回路図。

【図29】同第4の実施の形態の電圧発生回路のその他の例で、2層ウェル上に形成された構造を示す断面図。

【図30】同第4の実施の形態の電圧発生回路をガラス基板上に形成した構造例を示す断面図。

【図 31】この発明にかかる電圧発生回路の第 5 の実施の形態についてその基本回路構成を示す回路図。

【図 3 2】同第 5 の実施の形態の電圧発生回路の動作を示すタイミングチャート。

【図 3 3】同第 5 の実施の形態の電圧発生回路を 3 層ウェル上に形成した構造例を示す断面図。

【図 34】同第 5 の実施の形態の電圧発生回路を 2 層ウェル上に形成した構造例を示す断面図。

【図 35】同第 5 の実施の形態の電圧発生回路をガラス基板上に形成した構造例を示す断面図。

【図 36】第 6 の実施の形態として、この発明にかかる電圧発生回路を備えた表示装置の構成を概略的に示すブロック図。

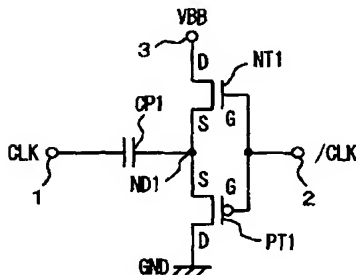
【図 37】従来の電圧発生回路の基本回路構成を示す回路図。

【図 38】従来の電圧発生回路の他の基本回路構成を示す回路図。

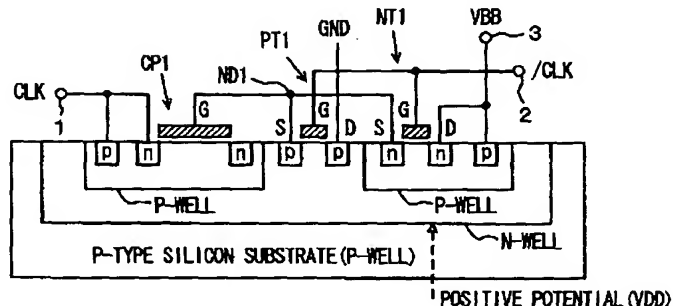
【符号の説明】

1, 2…クロック入力端子、3…電圧出力端子、4…遅延回路、5…論理回路、50…表示部、60…走査線駆動回路、70…データ駆動回路、80…負電圧発生回路、90…レベル変換回路、CP1, CP2…キャパシタ、ND1, ND2…ノード、NT1, NT2…nチャネルMOSトランジスタ、PT1, PT2…pチャネルMOSトランジスタ、INV1…インバータ、PX…表示画素、ST…能動スイッチング素子。

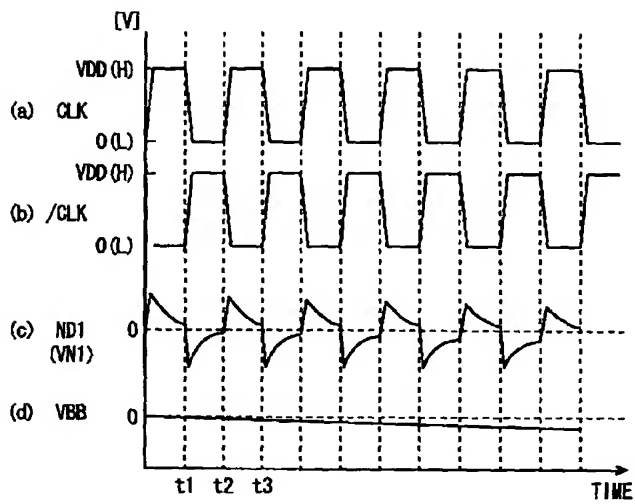
【图 1】



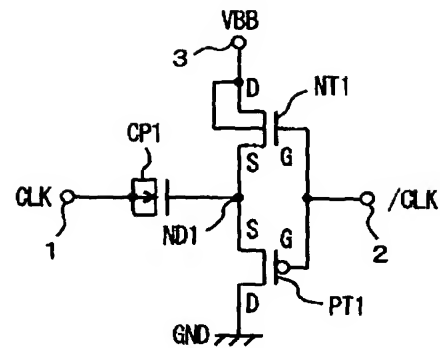
【图 3】



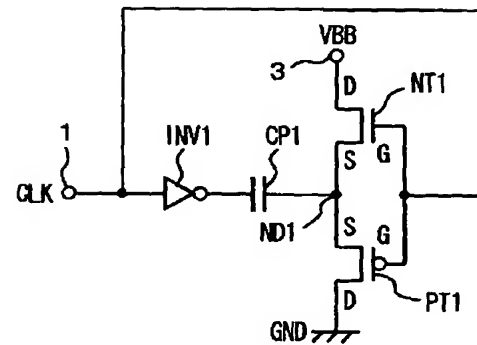
【図 2】



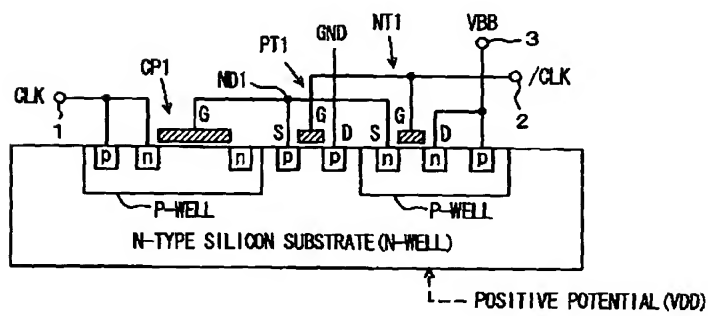
【図 4】



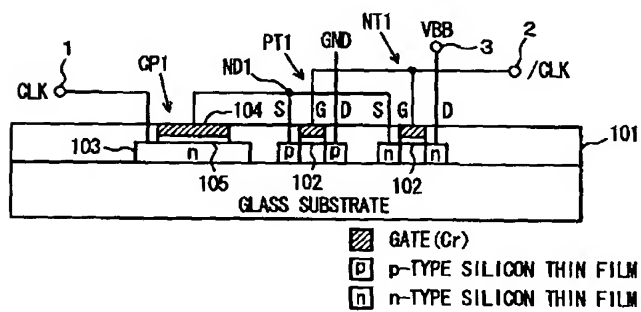
【図 7】



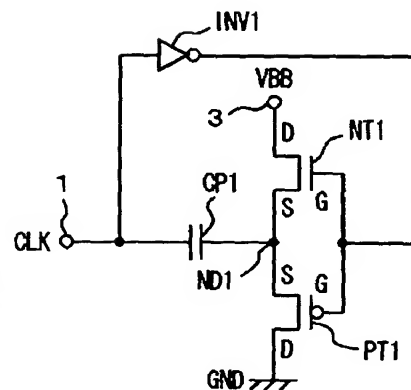
【図 5】



【図 6】

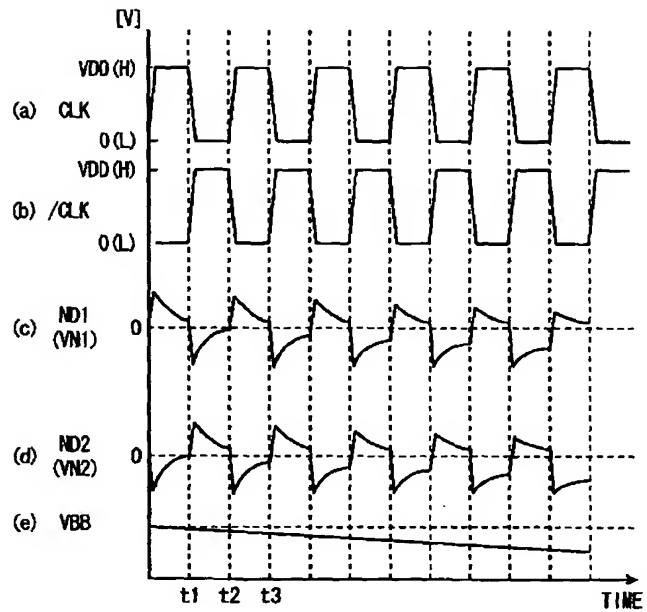


【図 8】



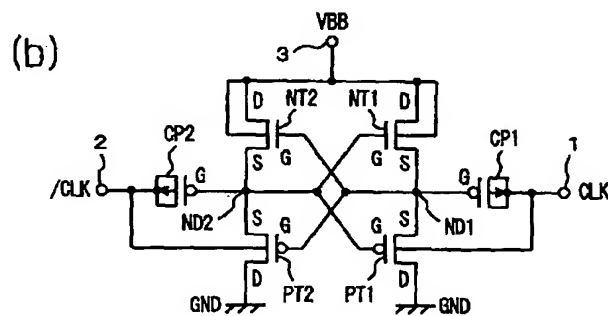
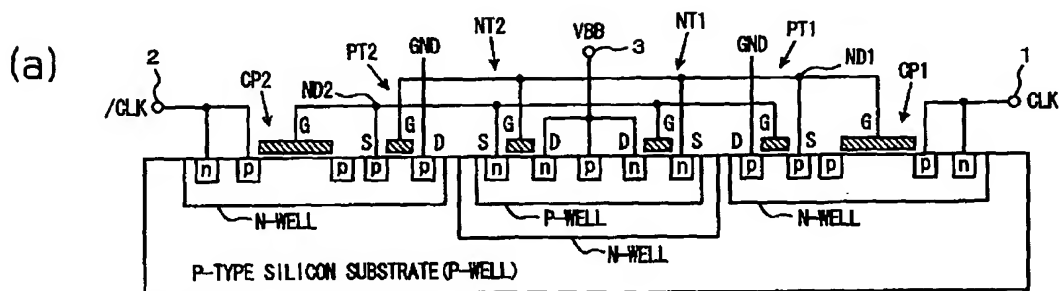


【☒ 10】

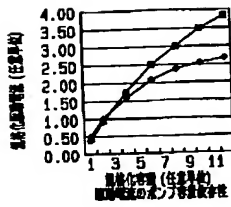


VBB (V)	IBBp Ratio	IBBn Ratio
1	1.0	1.0
2	1.3	0.8
3	1.4	0.5
4	1.2	0.2

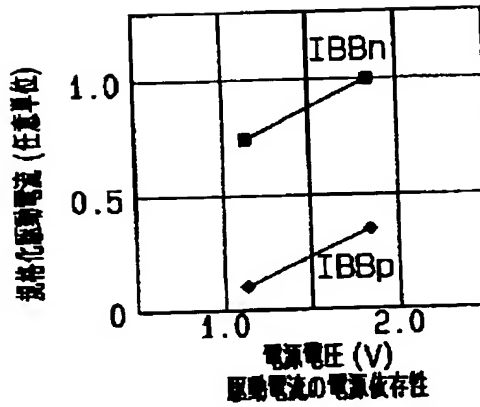
【图 1 1】



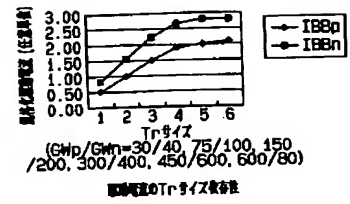
【図12】



【図14】

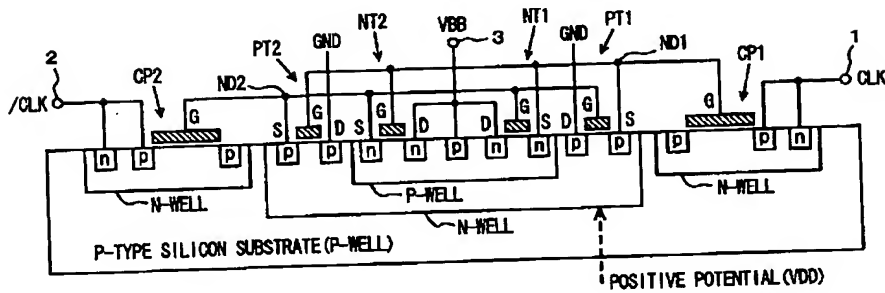


【図20】

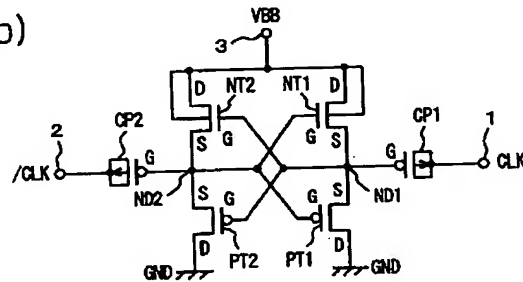


【図15】

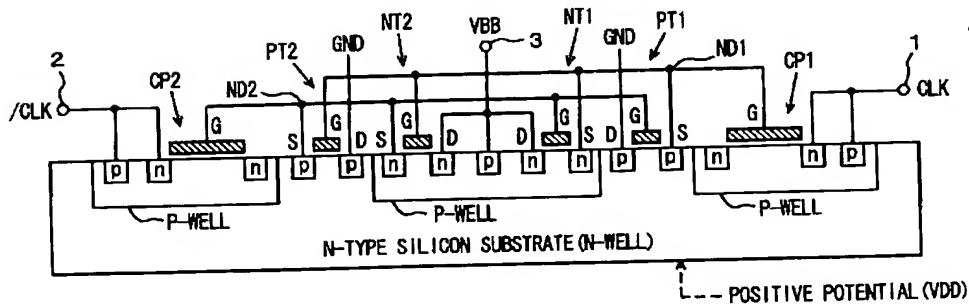
(a)



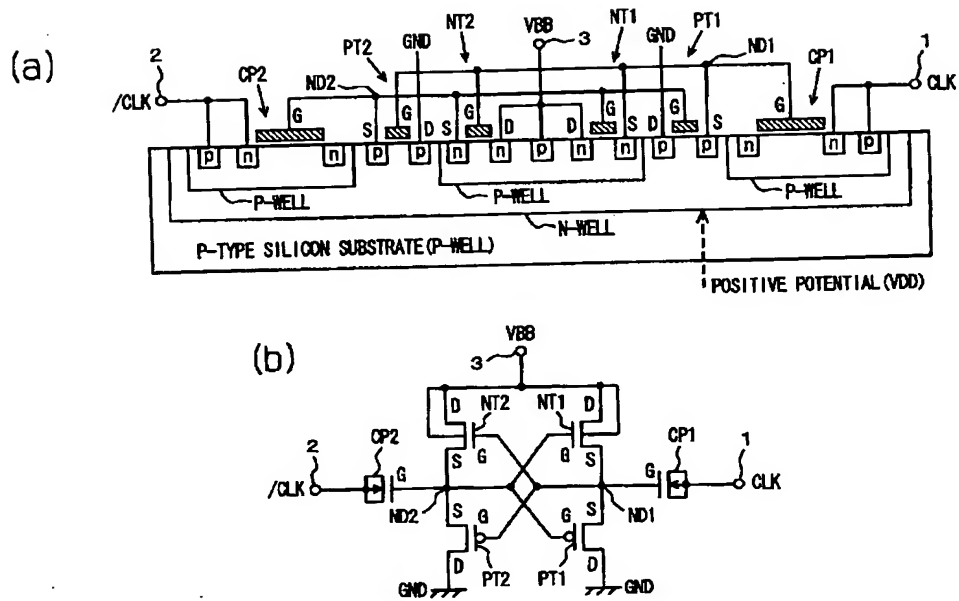
(b)



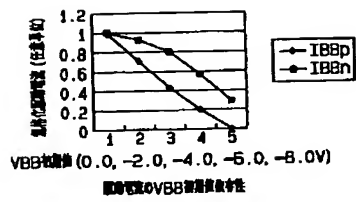
【図17】



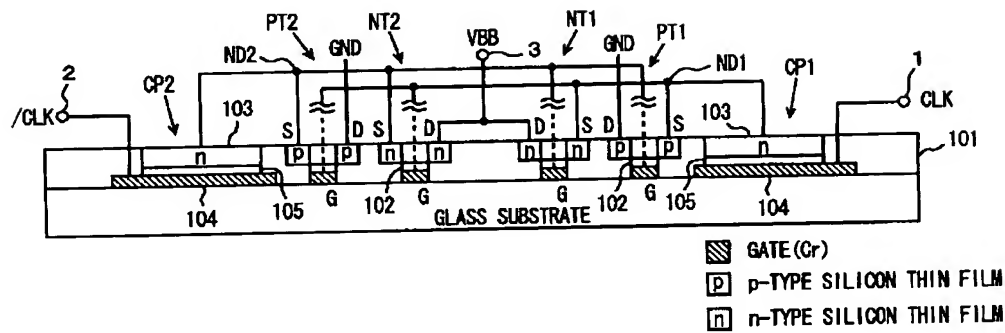
【図 16】



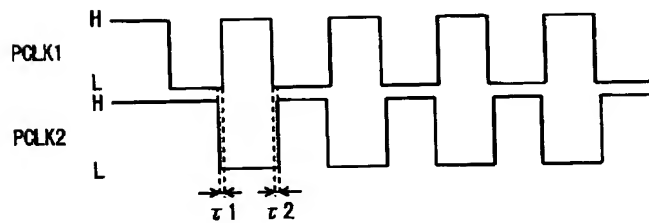
【図 21】



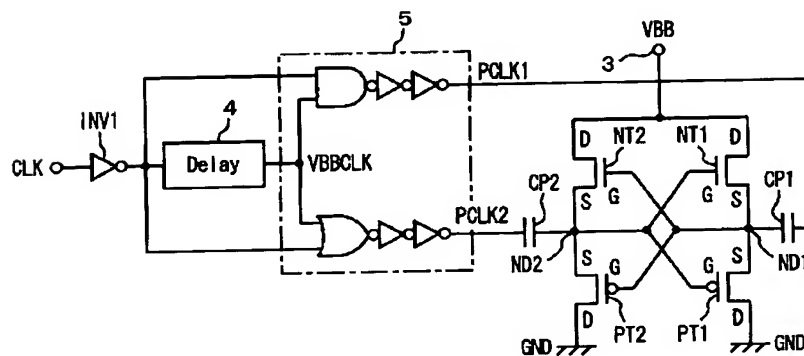
【図 22】



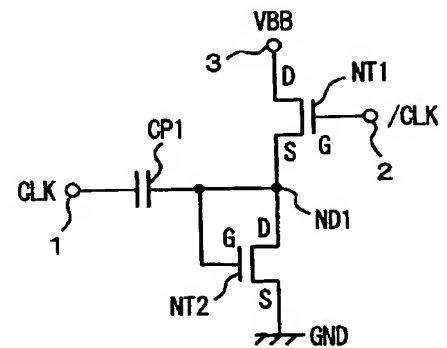
【図 23】



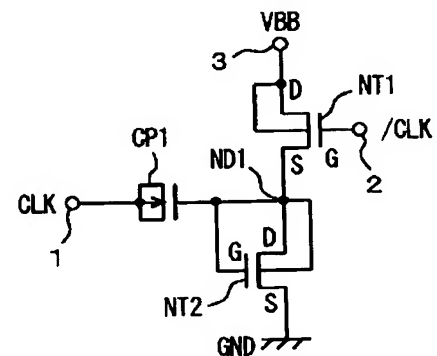
【図 24】



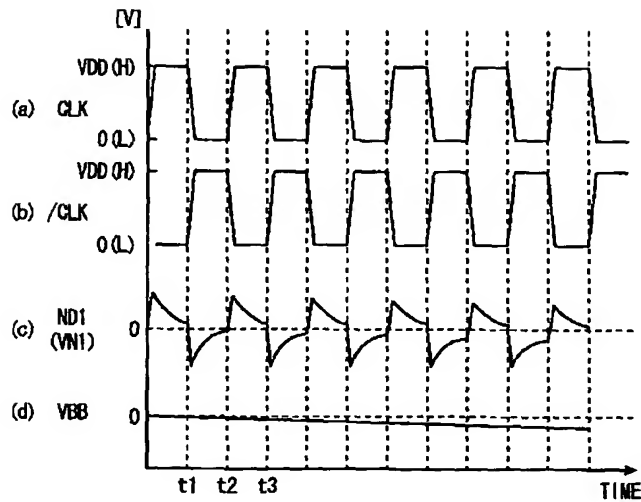
【図 25】



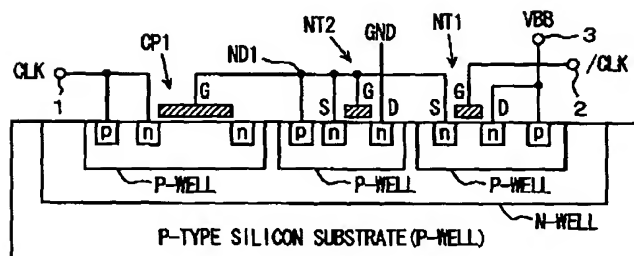
【図 28】



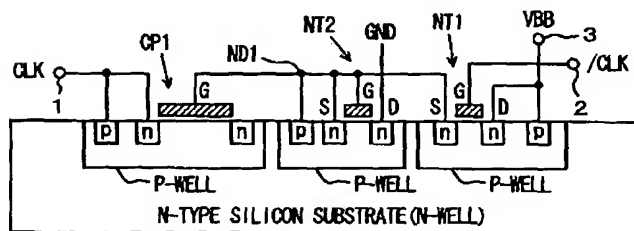
【図 26】



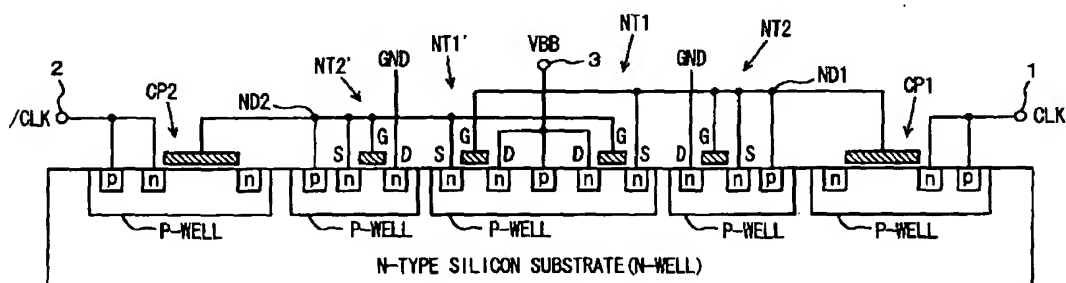
【図 27】



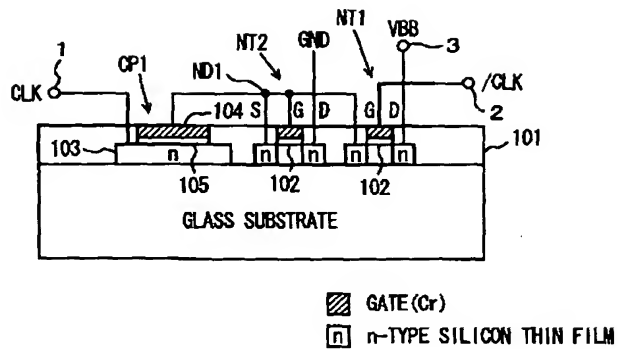
【図 29】



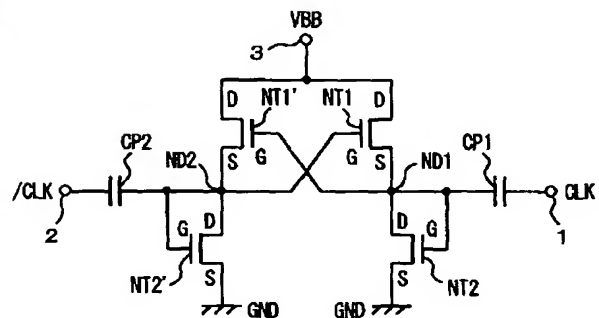
【図 34】



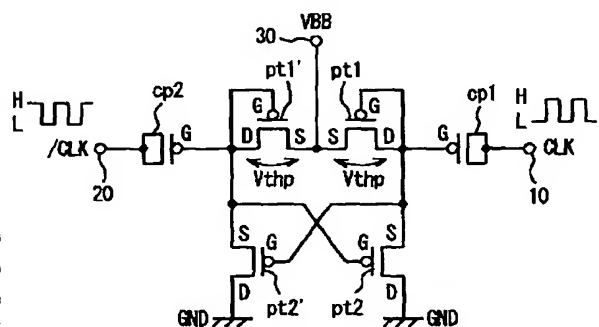
【図 30】



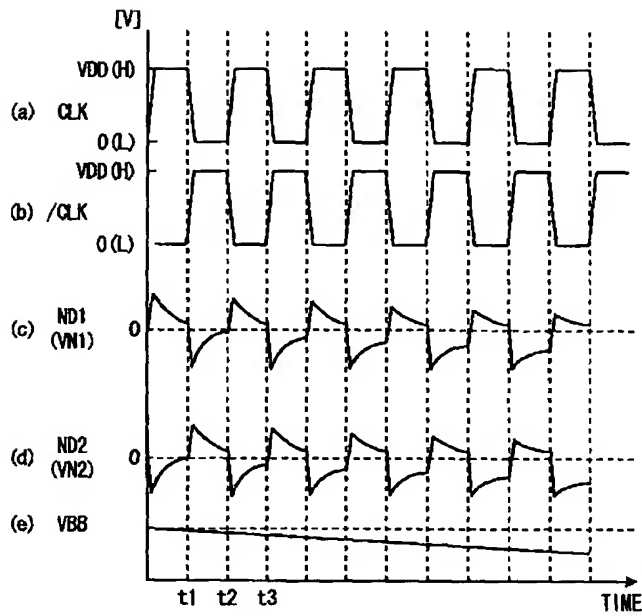
【図 31】



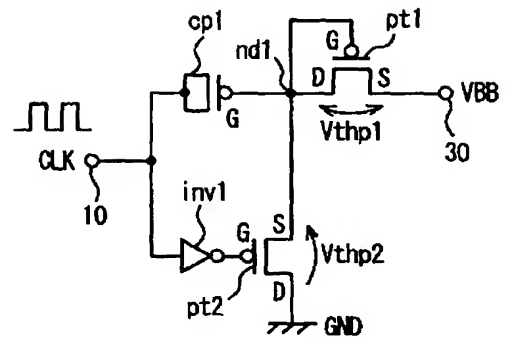
【図 38】



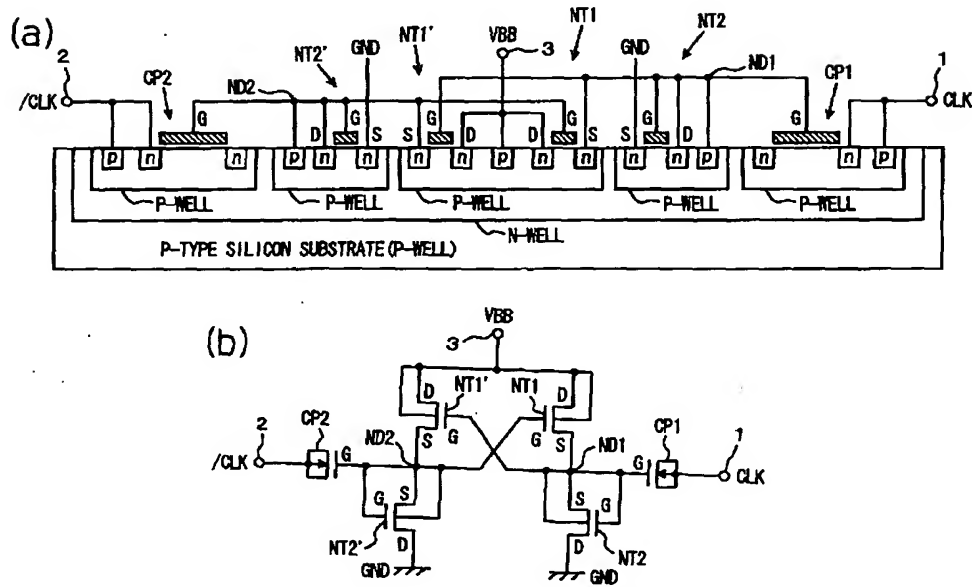
【図 32】



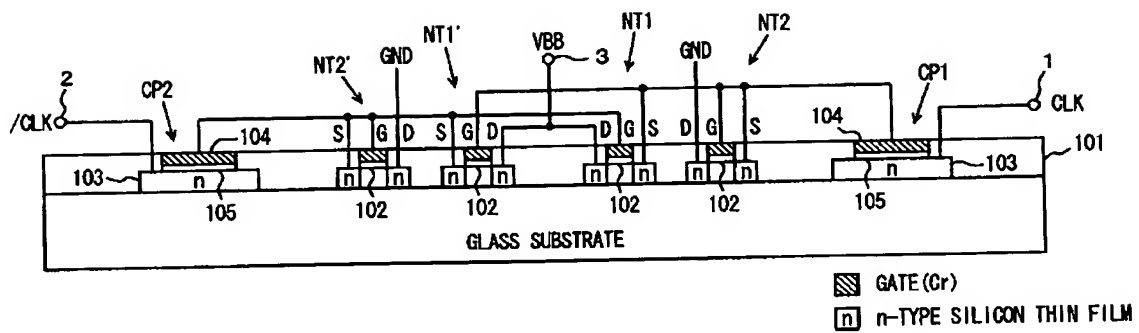
【図 37】



【図 33】



【図 35】



【図 36】

